

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2 0 0 4 年 3 月 2 6 日

出 願 番 号

Application Number:

特 願 2 0 0 4 - 0 9 2 0 4 3

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号

The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

J P 2 0 0 4 - 0 9 2 0 4 3

出 願 人

Applicant(s):

三菱電機株式会社

2 0 0 5 年 4 月 2 0 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【官 報 名】	特 許 願
【整理番号】	549173JP01
【提出日】	平成16年 3月26日
【あて先】	特許庁長官殿
【国際特許分類】	H01L 25/18
【発明者】	
【住所又は居所】	東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
【氏名】	田牧 努
【発明者】	
【住所又は居所】	東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
【氏名】	鈴木 拓也
【特許出願人】	
【識別番号】	000006013
【氏名又は名称】	三菱電機株式会社
【代理人】	
【識別番号】	100089118
【弁理士】	
【氏名又は名称】	酒井 宏明
【手数料の表示】	
【予納台帳番号】	036711
【納付金額】	21,000円
【提出物件の目録】	
【物件名】	特許請求の範囲 1
【物件名】	明細書 1
【物件名】	図面 1
【物件名】	要約書 1

【請求項 1】

高周波半導体と、この高周波半導体を表層接地導体に載置する多層誘電体基板と、この多層誘電体基板の表層の一部および前記高周波半導体を覆う電磁シールド部材とを備える高周波パッケージにおいて、

前記多層誘電体基板に、

前記高周波半導体のバイアス／制御信号用端子に接続され、前記電磁シールド部材の内側に配設される第 1 の信号ビアと、

前記電磁シールド部材の外側に配設され、バイアス／制御信号用の外部端子に接続される第 2 の信号ビアと、

第 1 の信号ビアと第 2 の信号ビアを接続する内層信号線路と、

前記第 1 の信号ビア、第 2 の信号ビアおよび内層信号線路の周囲に配される内層接地導体と、

前記内層接地導体上であって、前記第 1 の信号ビア、第 2 の信号ビアおよび内層信号線路の周囲に配される複数のグラウンドビアと、

を備えるとともに、

前記内層信号線路に、前記高周波半導体で使用する高周波信号の実効波長の略 $1/4$ の長さを有する先端開放線路を設けるようにしたことを特徴とする高周波パッケージ。

【請求項 2】

高周波半導体と、この高周波半導体を表層接地導体に載置する多層誘電体基板と、この多層誘電体基板の表層の一部および前記高周波半導体を覆う電磁シールド部材とを備える高周波パッケージにおいて、

前記多層誘電体基板に、

前記高周波半導体のバイアス／制御信号用端子に接続され、前記電磁シールド部材の内側に配設される第 1 の信号ビアと、

前記電磁シールド部材の外側に配設され、バイアス／制御信号用の外部端子に接続される第 2 の信号ビアと、

第 1 の信号ビアと第 2 の信号ビアを接続する内層信号線路と、

前記第 1 の信号ビア、第 2 の信号ビアおよび内層信号線路の周囲に配される内層接地導体と、

前記内層接地導体上であって、前記第 1 の信号ビア、第 2 の信号ビアおよび内層信号線路の周囲に配される複数のグラウンドビアと、

を備えるとともに、

前記内層信号線路に、前記高周波半導体で使用する高周波信号の通過を抑えるローパスフィルタを設けるようにしたことを特徴とする高周波パッケージ。

【請求項 3】

高周波半導体と、この高周波半導体を表層接地導体に載置するとともに前記表層接地導体に接続される内層接地導体を有する多層誘電体基板と、この多層誘電体基板の表層の一部および前記高周波半導体を覆う電磁シールド部材とを備える高周波パッケージにおいて、

前記多層誘電体基板に、

前記高周波半導体のバイアス／制御信号用端子に接続され、前記電磁シールド部材の内側に配設される第 1 の信号ビアと、

前記電磁シールド部材の外側に配設され、バイアス／制御信号用の外部端子に接続される第 2 の信号ビアと、

第 1 の信号ビアと第 2 の信号ビアを接続する内層信号線路と、

前記第 1 の信号ビアよりも高周波半導体に近い側に配設され、前記内層接地導体に接続される複数のグラウンドビアからなる第 1 のグラウンドビア列と、

前記第 1 の信号ビアと前記第 2 の信号ビアとの間に配設され、前記内層接地導体に接続される複数のグラウンドビアからなる第 2 のグラウンドビア列と、

を備え、

前記第1のグラウンドビア列と第2のグラウンドビア列との間隔を、前記高周波半導体で使用する高周波信号の実効波長の $1/2$ 未満とするとともに、

前記第1および第2のグラウンドビア列における各グラウンドビアの隣接間隔を、前記高周波半導体で使用する高周波信号の実効波長の $1/2$ 未満とすることを特徴とする高周波パッケージ。

【請求項4】

高周波半導体と、キャビティが形成され、前記高周波半導体をキャビティの底面に形成された表層接地導体に載置するとともにこの表層接地導体に接続された内層接地導体を有し、前記キャビティを形成する側壁が非接地である多層誘電体基板と、この多層誘電体基板の表層の一部および前記高周波半導体を覆う電磁シールド部材とを備える高周波パッケージにおいて、

前記多層誘電体基板に、

前記高周波半導体のバイアス／制御信号用端子に接続され、前記電磁シールド部材の内側に配設される第1の信号ビアと、

前記電磁シールド部材の外側に配設され、バイアス／制御信号用の外部端子に接続される第2の信号ビアと、

第1の信号ビアと第2の信号ビアを接続する内層信号線路と、

前記第1の信号ビアよりも高周波半導体に近い側であってかつ前記キャビティを形成する前記多層誘電体基板の側壁近傍に配設され、前記内層接地導体に接続される複数のグラウンドビアからなる第1のグラウンドビア列と、

前記第1の信号ビアと前記第2の信号ビアとの間に配設され、前記内層接地導体に接続される複数のグラウンドビアからなる第2のグラウンドビア列と、

を備え、

前記第1のグラウンドビア列と第2のグラウンドビア列との間隔を、前記高周波半導体で使用する高周波信号の実効波長の $1/2$ 未満とするとともに、

前記第1および第2のグラウンドビア列における各グラウンドビアの隣接間隔を、前記高周波半導体で使用する高周波信号の実効波長の $1/2$ 未満とすることを特徴とする高周波パッケージ。

【請求項5】

前記第1のグラウンドビア列の各グラウンドビアは、ビアの一部が多層誘電体基板の側壁に露出していることを特徴とする請求項4に記載の高周波パッケージ。

【請求項6】

高周波半導体と、キャビティが形成され、前記高周波半導体をキャビティの底面に形成された表層接地導体に載置するとともにこの表層接地導体に接続された内層接地導体を有する多層誘電体基板と、この多層誘電体基板の表層の一部および前記高周波半導体を覆う電磁シールド部材とを備える高周波パッケージにおいて、

前記多層誘電体基板に、

前記高周波半導体のバイアス／制御信号用端子に接続され、前記電磁シールド部材の内側に配設される第1の信号ビアと、

前記電磁シールド部材の外側に配設され、バイアス／制御信号用の外部端子に接続される第2の信号ビアと、

第1の信号ビアと第2の信号ビアを接続する内層信号線路と、

前記キャビティを形成する多層誘電体基板の側壁に形成される側壁グラウンドパターンと、

前記第1の信号ビアと前記第2の信号ビアとの間に配設され、前記内層接地導体に接続される複数のグラウンドビアからなるグラウンドビア列と、

を備え、

前記側壁グラウンドパターンとグラウンドビア列との間隔を、前記高周波半導体で使用する高周波信号の実効波長の $1/2$ 未満とするとともに、

前記ノットとノットにおけるセパレーションの隣接間隔を、前記間隔以下等価と見做される高周波信号の実効波長の $1/2$ 未満とすることを特徴とする高周波パッケージ。

【請求項 7】

高周波半導体と、キャビティが形成され、前記高周波半導体をキャビティの底面に形成された表層接地導体に載置するとともにこの表層接地導体に接続された内層接地導体を有し、前記キャビティを形成する側壁が非接地である多層誘電体基板と、この多層誘電体基板の表層の一部および前記高周波半導体を覆う電磁シールド部材とを備える高周波パッケージにおいて、

前記高周波半導体のバイアス／制御信号用端子に接続され、前記電磁シールド部材の内側に配設される第1の信号ビアと、

前記電磁シールド部材の外側に配設され、バイアス／制御信号用の外部端子に接続される第2の信号ビアと、

第1の信号ビアと第2の信号ビアを接続する内層信号線路と、

前記第1の信号ビアと前記第2の信号ビアとの間に配設され、前記内層接地導体に接続される複数のグラウンドビアからなるグラウンドビア列と、
を備え、

前記側壁とグラウンドビア列との間隔を、前記高周波半導体で使用する高周波信号の実効波長の $1/4$ 未満とするとともに、

前記グラウンドビア列における各グラウンドビアの隣接間隔を、前記高周波半導体で使用する高周波信号の実効波長の $1/2$ 未満とすることを特徴とする高周波パッケージ。

【請求項 8】

前記多層誘電体基板の表面における前記電磁シールド部材から前記側壁までの部分に、誘電体が露出された領域を形成したことを特徴とする請求項4～7のいずれか一つに記載の高周波パッケージ。

【請求項 9】

前記第2のグラウンドビア列またはグラウンドビア列は、前記電磁シールド部材が前記多層誘電体基板と当接する箇所の直下に配置されることを特徴とする請求項3～8のいずれか一つに記載の高周波パッケージ。

【請求項 10】

前記第1の信号ビアは、多層誘電体基板の表層に形成された導体パッドに接続され、導体パッドは、誘電体が露出された領域を挟んで周囲の一部または全てを表層接地導体で囲まれることを特徴とする請求項1～9のいずれか一つに記載の高周波パッケージ。

【請求項 11】

裏面にグラウンド端子およびバイアス／制御信号用端子を有する高周波半導体と、この高周波半導体が表層にフリップチップ実装される複数の導体パッド、前記グラウンド端子が接続される内層接地導体を有する多層誘電体基板と、この多層誘電体基板の表層の一部および前記高周波半導体を覆う電磁シールド部材とを備える高周波パッケージにおいて、

前記多層誘電体基板に、

前記高周波半導体のバイアス／制御信号用端子に接続される複数の信号ビアと、

前記複数の信号ビア間を接続する内層信号線路と、

前記内層接地導体に接続され、前記信号ビアを囲む複数のグラウンドビア列と、
を備え、

信号ビアを挟むグラウンドビア列間の間隔を、前記高周波半導体で使用する高周波信号の実効波長の $1/2$ 未満とすることを特徴とする高周波パッケージ。

【請求項 12】

請求項1～12のいずれか一つに記載の高周波パッケージであって、前記高周波半導体は、周波数変調された送信波を送信処理する送信系回路および目標から跳ね返ってくる受信波を受信処理する受信系回路を備える高周波パッケージと、

高周波パッケージとの前記高周波半導体との間で送信波および受信波を入出力する導波管端子と、

- ・ 同周波数帯域の同周波数等価回路にパルス信号を伝播し、同周波数等価回路の間で制御信号を授受し、高周波半導体から出力される送信波を変調制御する制御回路と、
を備えることを特徴とするレーダモジュール。

ⅴ 【請求項 13】

- 請求項 12 に記載のレーダモジュールと、
前記レーダモジュールの導波管端子を介して入出力される高周波信号を送受信するアンテナと、
前記高周波パッケージの受信系回路の出力を中間周波数信号に変換する電子回路と、
該電子回路で変換された中間周波数信号に基づいて目標までの距離、相対速度を演算する信号処理基板と、
を備えるレーダ装置。

【発明の名称】 高周波パッケージ、レーダモジュールおよびレーダ装置

【技術分野】

【0001】

本発明は、マイクロ波帯またはミリ波帯などの高周波帯で動作する高周波半導体を搭載する高周波パッケージ、該高周波パッケージを用いたレーダモジュールおよびレーダ装置に関し、さらに詳しくは高周波半導体から発生される高周波信号の外部への漏洩を抑止することが可能な高周波パッケージ、該高周波パッケージを用いたレーダモジュールおよびレーダ装置に関するものである。

【背景技術】

【0002】

車載ミリ波レーダは、ミリ波帯の電磁波を使用し、前方の車両との距離、相対速度の検知によって、クルーズコントロールや衝突不可避時のドライバーへの被害軽減などの安全性対策に適用されている。このような車載ミリ波レーダでは、送信信号を得るために、低い周波数から逡倍する方式が多いが、この場合、多くの周波数成分がモジュール内に存在するため、海外のEMI規格（FCC等）を満足するのが非常に困難となっている。

【0003】

車載ミリ波レーダにおいて、レーダモジュールは、通常、レーダ装置用の高周波半導体が搭載された高周波パッケージ、この高周波パッケージにバイアス信号および制御信号を供給する制御／インタフェース基板、および導波管などを備えて構成されるが、上記のEMI規格を満足させるために、従来は、レーダモジュール全体を金属カバーで覆うよう構成することが多い。

【0004】

しかしながら、レーダモジュール全体を金属カバーで覆うように構成した場合、高価な筐体等が必要となるため、低コスト化のためにも、高周波パッケージ内で、上記のEMI規格を満足するような対策が望まれている。

【0005】

特許文献1では、金属製のベース部材上に、高周波信号用集積回路部品および誘電体基板を実装し、誘電体基板上にマイクロスリップラインを形成し、これらを金属製のフレーム部材および蓋部材で覆うようにしており、ベース部材に実装される高周波信号用集積回路部品は、バイアス端子を介してバイアスが供給される。

【0006】

【特許文献1】 特開2000-31812号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

上記従来技術では、高周波パッケージを金属ベース、金属製フレーム部材、金属の蓋部材で囲むようにしているので、外部への高周波成分の漏洩はある程度は抑制されるが、バイアス端子を介して漏れる高周波成分に関しては、何の対策もされていない。このため、高周波パッケージ内の誘電体基板、バイアス端子に電磁結合した不要波である高周波成分がバイアス端子を介してそのまま外部に放射されてしまうという問題がある。

【0008】

本発明は、上記に鑑みてなされたものであって、外部への高周波成分の漏洩を高周波パッケージ内で抑止するようにして、低コストで高周波シールド性能の高い高周波パッケージ、レーダモジュールおよびレーダ装置を得ることを目的とする。

【課題を解決するための手段】

【0009】

上述した課題を解決し、目的を達成するために、本発明は、高周波半導体と、この高周波半導体を表層接地導体に載置する多層誘電体基板と、この多層誘電体基板の表層の一部および前記高周波半導体を覆う電磁シールド部材とを備える高周波パッケージにおいて、

前記多層誘電体基板に、前記高周波半導体のバイアス／制御信号用端子に接続され、前記電磁シールド部材の内側に配設される第1の信号ビアと、前記電磁シールド部材の外側に配設され、バイアス／制御信号用の外部端子に接続される第2の信号ビアと、第1の信号ビアと第2の信号ビアを接続する内層信号線路と、前記第1の信号ビア、第2の信号ビアおよび内層信号線路の周囲に配される内層接地導体と、前記内層接地導体上であって、前記第1の信号ビア、第2の信号ビアおよび内層信号線路の周囲に配される複数のグラウンドビアとを備えるとともに、前記内層信号線路に、前記高周波半導体で使用する高周波信号の実効波長の略 $1/4$ の長さを有する先端開放線路を設けるようにしている。

【0010】

この発明では、バイアス／制御信号用の内層信号線路に、高周波半導体で使用する高周波信号の実効波長の略 $1/4$ の長さを有する先端開放線路（オープンスタブ）を設けるようにしており、これにより多層誘電体基板の表層の誘電体層などから高周波成分が多層誘電体基板に進入してバイアス／制御信号用の信号ビアあるいは内層信号線路に電磁結合したとしても、この高周波成分は、先端開放線路の箇所で反射され、先端開放線路の先まで通過することを抑止することができる。

【0011】

つぎの発明では、高周波半導体と、この高周波半導体を表層接地導体に載置するとともに前記表層接地導体に接続される内層接地導体を有する多層誘電体基板と、この多層誘電体基板の表層の一部および前記高周波半導体を覆う電磁シールド部材とを備える高周波パッケージにおいて、前記多層誘電体基板に、前記高周波半導体のバイアス／制御信号用端子に接続され、前記電磁シールド部材の内側に配設される第1の信号ビアと、前記電磁シールド部材の外側に配設され、バイアス／制御信号用の外部端子に接続される第2の信号ビアと、第1の信号ビアと第2の信号ビアを接続する内層信号線路と、前記第1の信号ビアよりも高周波半導体に近い側に配設され、前記内層接地導体に接続される複数のグラウンドビアからなる第1のグラウンドビア列と、前記第1の信号ビアと前記第2の信号ビアとの間に配設され、前記内層接地導体に接続される複数のグラウンドビアからなる第2のグラウンドビア列とを備え、前記第1のグラウンドビア列と第2のグラウンドビア列との間隔を、前記高周波半導体で使用する高周波信号の実効波長の $1/2$ 未満とするとともに、前記第1および第2のグラウンドビア列における各グラウンドビアの隣接間隔を、前記高周波半導体で使用する高周波信号の実効波長の $1/2$ 未満とするようにしている。

【0012】

この発明によれば、第1のグラウンドビア列と第2のグラウンドビア列との間隔を高周波半導体で使用する高周波信号の実効波長の $1/2$ 未満とすることにより、多層誘電体基板内でのグラウンドビア列に沿った方向への高周波成分の進入を抑圧する。また、第1および第2のグラウンドビア列における各グラウンドビアの隣接間隔を、高周波半導体で使用する高周波信号の実効波長の $1/2$ 未満とすることにより、多層誘電体基板内でのグラウンドビア列に垂直な方向への高周波成分の進入を抑圧する。

【発明の効果】

【0013】

この発明によれば、バイアス／制御信号用の内層信号線路に、高周波半導体で使用する高周波信号の実効波長の略 $1/4$ の長さを有する先端開放線路を設けるようにしており、多層誘電体基板内に進入した高周波成分は、先端開放線路の箇所で反射され、先端開放線路の先まで通過することを抑止することができるので、高周波成分の高周波パッケージ外部への漏洩を確実に抑止することができる。このように、高周波パッケージ内部で、高周波成分の高周波パッケージ外部への漏洩を抑止することができるので、製造コストを低減することができる。

【0014】

次の発明によれば、第1のグラウンドビア列と第2のグラウンドビア列との間隔を高周波半導体で使用する高周波信号の実効波長の $1/2$ 未満とすることにより、多層誘電体基板内でのグラウンドビア列に沿った方向への高周波成分の進入を抑圧するとともに、第1および

第2のフロントパネルにおけるサブフロントパネルの隔壁間隔で、同周波数帯域では用いる同周波信号の実効波長の1/2未満とすることにより、多層誘電体基板内でのグラウンドピア列に垂直な方向への高周波成分の進入を抑圧するようにしている。これにより、この発明によれば、多層誘電体基板内の信号ピアあるいは内層信号線路への高周波信号の結合を抑圧することができ、これら信号ピア、内層信号線路、外部端子を経由して不要波が高周波パッケージの外部に放射されることを抑止することができる。

【発明を実施するための最良の形態】

【0015】

以下に、本発明にかかる高周波パッケージ、レーダモジュールおよびレーダ装置の実施の形態を図面に基いて詳細に説明する。なお、この実施の形態によりこの発明が限定されるものではない。

【0016】

実施の形態1.

図1～図19に従って本発明の実施の形態1について説明する。図1は本発明を適用するレーダ装置1の機能ブロック図を示すものである。まず図1に従って、レーダ装置1の機能的な内部構成について説明する。

【0017】

このレーダ装置1は、ミリ波帯（例えば76GHz）の電磁波を使用し、前方の目標物（車両など）との距離および相対速度を検知する機能を有するFMCWレーダである。FMCWレーダは、前方に向けて放射した電波が目標物（先行車両）にあたって跳ね返ってくる受信波と送信波との差からビート周波数を求め、そのビート周波数を使って目標までの距離および相対速度を算出するものである。

【0018】

図1において、レーダ装置1は、高周波パッケージ2、高周波パッケージ2内の各種高周波半導体素子を駆動制御する制御回路3、マイクロコンピュータ（以下マイコン）4およびビデオアンプ5を含むレーダモジュール6と、送受信アンテナが形成されたアンテナ基板7と、外部機器と接続されて各種信号処理を行う信号処理基板8とを備えている。

【0019】

信号処理基板8は、本レーダ装置1の全体の制御を行う機能を有するとともに、ビデオアンプ5から得られるビデオ信号に基づいてFFT（高速フーリエ変換）等の周波数解析処理を行うことにより、目標物との距離及び相対速度などを演算する。演算された目標物との距離及び相対速度は、外部機器に送信される。また、信号処理基板8から制御回路3に受信機のチャンネル切替信号が入力される。また、信号処理基板8を介して外部から電源が入力される。

【0020】

マイコン4は、信号処理基板8と制御信号の授受を行うとともに、信号処理基板8からの指令にしたがって制御回路3を制御する。制御回路3は、高周波パッケージ2に対しバイアス電圧、制御信号、変調信号などを出力する。

【0021】

高周波パッケージ2は、発振器（VCO）30と、増幅器31と、電力分配器32と、逡倍器33と、増幅器34と、導波管端子などで構成される送信端子35と、複数の受信端子36と、複数の受信導波管端子36に対応した数のチャンネルを有するスイッチ（SPNT）37と、低雑音増幅器（LNA）38と、偶高調波ミキサ（MIX）39とを備えている。なお、高周波パッケージ2の大きさは、例えば、10～40mm角である。

【0022】

つぎに、動作について説明する。発振器30は周波数変調された高周波信号を出力し、増幅器31はこの出力を電力増幅する。電力分配器32は、増幅器31の出力を2方向に電力分配する。逡倍器33は、この電力分配器32の一方の出力を受け、その周波数を2逡倍し、出力する。増幅器34は、逡倍器33の出力を電力増幅し、送信端子35に向けて送信信号を出力する。この送信信号は、例えば導波管などの導波路を介してアンテナ基

概して、送信アンテナに送られ、送信アンテナから空間に放射される。

【0023】

アンテナ基板7の受信アンテナは、目標から反射してくる受信波を受信する。受信アンテナから出力された受信波は複数の受信端子36を介してスイッチ37に入力される。スイッチ37は、複数の受信端子36が接続される受信アンテナから得られる受信信号のうち、制御回路3からのスイッチ制御信号によって指定される所定のチャンネルのみの信号を通過させる。増幅器38はスイッチ37の出力を低雑音増幅する。偶高調波ミキサ39は、電力分配器32から入力される高周波信号の2倍周波数の信号と増幅器38の出力周波数の和及び差の周波数を有するビデオ信号を出力する。ビデオアンプ5はこのビデオ信号を電力増幅し、その出力を信号処理基板8に出力する。信号処理基板8は、ビデオアンプ5から得られるビデオ信号に基づいてFFT（高速フーリエ変換）等の周波数解析処理を行うことにより、目標物との距離及び相対速度などを演算する。演算された目標物との距離及び相対速度は、外部機器に送信される。

【0024】

なお、ビデオアンプ5は、高周波パッケージ2の外部に実装している。これは、ビデオアンプ5が低周波（k～MHz）で動作する回路であり、回路規模が大きいため、高周波パッケージ2内に実装した場合、高周波パッケージ2が大型化するためである。

【0025】

つぎに、図2～図4に従って、レーダ装置1の構造的な全体構成について説明する。図2は、レーダ装置1の外観構成を示す斜視図である。図3はレーダ装置1の内部構成を示すもので、図1のI-I断面図である。図4はレーダモジュール6の外観構成を示す斜視図である。

【0026】

図2および図3に示すように、レーダ装置1は、レーダモジュール6と、信号処理基板8と、これらレーダモジュール6および信号処理基板8をネジ9などによって收容固定する上面が開口された矩形状のケーシング10と、ケーシング10の上部に固定されてレーダモジュール6に搭載されたアンテナ基板7を保護するレドーム12と、信号処理基板8への電源供給線、入出力信号線などを含むケーブル13を接続するためのコネクタ14と、レーダモジュール6と信号処理基板8との間を電気接続するための接続ケーブル15などを備えている。

【0027】

レーダモジュール6は、図3および図4に示すように、送信端子35、受信端子36に接続される導波管16が形成された導波管プレート17と、導波管プレート17の下面（レドーム12側）に搭載されたアンテナ基板7と、導波管プレート17の上面に搭載される高周波パッケージ2と、図1の制御回路3あるいはマイコン4などを構成する電子回路19などが搭載されるモジュール制御基板（制御／インタフェース基板ともいう）21とを備えている。図3においては、高周波パッケージ2の構成要素として、接地されている金属製のキャリア22、多層誘電体基板23およびシールリング24、カバー25などが示されている。

【0028】

つぎに、図5はカバー25を除去した状態での高周波パッケージ2を示す平面図であり、図6は、図5の概略B-B断面図である。図5および図6に示すように、導波管16が形成された導波管プレート17上には、接地されている金属製のキャリア22と、制御回路3およびマイコン4などを構成する電子回路19などが搭載されるモジュール制御基板21とが搭載されている。キャリア22にも導波管27が形成され、キャリア22は、フランジ28に形成されたネジ孔26aにネジ26を挿入することによって導波管プレート17に固定されている。キャリア22上には、多層誘電体基板23が搭載されており、この多層誘電体基板23の中央部には、1～複数（この場合2個）の凹部、すなわちキャビティ40が形成されている。

【0029】

ワイヤ４４の底面（上面）４１上には、図１の高周波パッケージ２内に含まれる複数の高周波半導体（ＭＭＩＣ）４３が收容されている。ここで云う高周波半導体４３は、図１の高周波パッケージ２内に含まれる発振器（ＶＣＯ）３０、増幅器３１、電力分配器３２、逡倍器３３、増幅器３４、スイッチ（ＳＰＮＴ）３７、低雑音増幅器（ＬＮＡ）３８、または偶高調波ミキサ（ＭＩＸ）３９の総称である。

【００３０】

図５に示すように、一方の（図示上側）キャビティ４０には、スイッチ（ＳＰＮＴ）３７、低雑音増幅器（ＬＮＡ）３８、または偶高調波ミキサ（ＭＩＸ）３９などの受信系高周波半導体が收容され、他方の（図示下側）キャビティ４０には、発振器（ＶＣＯ）３０、電力分配器３２、逡倍器３３などの送信系高周波半導体が收容されている。なお、図１に示す増幅器３１、３４、３８についてもいずれかのキャビティ４０に收容されているが、これら増幅器３１、３４、３８についての図示は便宜上省略している。

【００３１】

多層誘電体基板２３上には、高周波半導体４３から外部への不要放射をシールドする金属製の枠形状のシールリング２４が搭載され、さらにシールリング２４上にはカバー２５が設けられている。カバー２５の裏面には、電磁波吸収体２９（図７参照）が接着されている。シールリング２４およびカバー２５によって、多層誘電体基板２３の表層の一部および高周波半導体４３を覆う電磁シールド部材を構成している。

【００３２】

図５に示すように、２つのキャビティ４０を画成するためのシールリング２４'には、フィードスルー４２が設けられており、上側のキャビティ４０に收容された偶高調波ミキサ（ＭＩＸ）３９と下側のキャビティ４０に收容された電力分配器３２との間はフィードスルー４２およびマイクロストリップ線路４５によって接続されている。フィードスルー４２は、信号ピンあるいはマイクロストリップ線路を誘電体で覆うように構成され、これにより各キャビティ４０では気密状態を保持したまま、２つのキャビティ４０間で高周波信号が伝送される。図５において、符号４６は、マイクロストリップ導波管変換器である。

【００３３】

また、多層誘電体基板２３側には、高周波半導体４３にバイアス電圧を供給したり、制御信号を入出力するための導体パッド（以下、バイアス／制御信号用パッドという）５０が設けられている。高周波半導体４３側にも、導体パッド（バイアス／制御信号用端子）４９が設けられている。バイアス／制御信号用パッド５０と高周波半導体４３の導体パッド４９との間、あるいは高周波半導体４３とマイクロストリップ線路４５との間などは、金などで構成されるワイヤ４４によってワイヤボンディング接続されている。なお、ワイヤ４４による接続に代えて、金属バンプあるいはリボンによってこれらの接続をとるようにしてもよい。

【００３４】

シールリング２４の外側の多層誘電体基板２３上には、外部端子５１が設けられている。外部端子５１は、多層誘電体基板２３内に形成された信号ピア６５（信号スルーホール）及び内層信号線路６０を介してシールリング２４の内側の多層誘電体基板２３上に設けられたバイアス／制御信号用パッド５０と電気的に接続されている。これらの外部端子５１は、図６に示すように、ワイヤ４１を介してモジュール制御基板２１上に形成された外部端子５２などに接続されている。図６において、内層信号線路６０には、抵抗膜８０が付着されており、この抵抗膜８０によって、内層信号線路６０を介した高周波成分（不要波）の外部への漏洩を抑制するようにしている。この抵抗膜８０に関しては、後で詳述する。

【００３５】

図７は、高周波パッケージ２の多層誘電体基板２３内のピア構造（スルーホール構造）を詳細に示す図である。図７においては、バイアス／制御信号用ピア（以下信号ピアという）６５は、白抜きで示し、グランドピア７５はハッチング付きで示している。この場合

、多層誘電体基板23は第1層～第3層の3層構造を有しており、多層誘電体基板23の第1層および第2層の中央部が削除されることによって、キャビティ40が形成されている。キャビティ40の底面、すなわち第3層の表面には、表層接地導体としてのグランド面53が形成されており、このグランド面53に半田または導電性接着剤54を介して高周波半導体43が搭載される。高周波半導体43の下に配置されるグランド面53には、グランド面53およびキャリア22間を接続する複数のグランドビア75aが設けられており、これらのグランドビア75aは放熱のためのサーマルビアの機能も有している。

【0036】

キャビティ40の側壁（多層誘電体基板23の第1～第2層の側壁面）55は、この場合、誘電体が露出された状態にある。多層誘電体基板23の第1層の表層（上面層）には、1～複数のバイアス／制御信号用パッド50がもうけられているが、これらバイアス／制御信号用パッド50の周囲の誘電体が露出された部分56以外は、表層接地導体としてのグランドパターン57が形成されており、表層を介して多層誘電体基板23の内部に不要波が進入することを防止している。

【0037】

多層誘電体基板23の第1層および第2層におけるシールリング24の直下近傍には、高周波半導体43から発生する高周波成分をシールドするための複数の（この場合3列）RFシールドビア75bが設けられている。なお、3列のRFシールドビア75bは、紙面に垂直な方向にも複数個並べられている。多層誘電体基板23の第1層および第2層中で、キャビティ40の側壁55からRFシールドビア75bが設けられている箇所までの領域をキャビティ側縁部71と呼称する。また、キャビティ側縁部71の表層に設けられるグランドパターン57を側縁部表層グランドパターンと呼ぶこととする。RFシールドビア75bは、側縁部表層グランドパターン57および多層誘電体基板23の内層に形成された内層接地導体70に接続されている。

【0038】

シールリング24の内側に配置されるバイアス／制御信号用パッド50は、1～複数の信号ビア65および1～複数の内層信号線路60を介してシールリング24の外側に配置される外部端子51と接続されている。信号ビア65の周囲には、誘電体を挟んで複数のグランドビア75cが配されており、これら複数のグランドビア75cによって信号ビア65からの電界をシールドしている。

【0039】

図7においては、内層接地導体70として、第2層と第3層との間、第4層と第5層との間、第6層と第7層との間、第8層と第7層との間の内層接地導体を便宜上示しているが、内層接地導体は70は、基本的には、図8-1～図8-4および図9に示すように、ベタグランド層として全ての層間に設けられている。

【0040】

図8-1～図8-4は、図7において左側に配置された2つの信号ビア65の周辺の様子を各層間において示したものである。図8-1（面A）は第2層と第3層との間の状況を示すもので、図8-2（面B）は第6層と第7層との間の状況を示すもので、図8-3（面C）は、第7層と第8層との間の状況を示すもので、図8-4（面D）は、第8層と第9層との間の状況を示すものである。

【0041】

図8-1（面A）および図8-2（面B）においては、2つの信号ビア65の周りには、誘電体61を挟んで複数のグランドビア75および内層接地導体70が配置されている。図8-3（面C）においては、2つの信号ビア65と、これら2つの信号ビア65間を接続する内層信号線路60とが配置されており、これら信号ビア65および内層信号線路60の周りには、誘電体61を挟んで複数のグランドビア75さらには内層接地導体70が配置されている。さらに、内層信号線路60には、外部への高周波成分の漏洩を抑制するための抵抗膜80が付着されており、また、内層信号線路60には、オープンスタブ83が形成されている。図8-4（面D）においては、信号ビア65および内層信号線路60

が配置されている。ノードにノードおよび内層接地等体ノードのみが配置されている。

【0042】

図9は、任意の層の配線パターンの一例を示すものである。図9に示すように、信号ビア65の周りには、誘電体61を挟んで複数のグランドビア75さらには内層接地導体70が配置されている。また、内層信号線路60が存在する箇所では、信号ビア65に接続された内層信号線路60の周囲には、誘電体61を挟んで、複数のグランドビア75さらには内層接地導体70が配置されている。図9においても、内層信号線路60には、外部への高周波成分の漏洩を抑制するための抵抗膜80が付着されている。

【0043】

ここで、図6～図9に示す本高周波パッケージ2は、以下に示す3つの特徴的な構成(a)～(c)を備えている。

【0044】

(a) 図6～図9に示すように、内層信号線路60の上面および下面のうちの少なくとも一方の面に、抵抗膜80を設ける。これにより、キャピティ40の側壁55あるいはバイアス／制御信号用パッド50の周囲の誘電体56を介して進入して信号ビア65あるいは内層信号線路60に結合した不要波（高周波成分）を表皮効果により抵抗膜で吸収させるとともに、バイアス用のDC電圧あるいは制御信号用の低中周波信号は電圧降下なく通過させる。このような構成により、信号ビア65あるいは内層信号線路60、外部端子51を経由して高周波パッケージ2の外部に放射される不要波を抑圧する。

【0045】

(b) キャピティ側縁部71における側壁55の近傍に、複数のグランドビア（側壁グランドビアともいう）81が側壁55に沿った方向（図7の紙面に垂直な方向、以下、奥行き方向という）に並べられている1列の側壁グランドビア列82を設ける。そして、この側壁グランドビア列82と、信号ビア65を挟んで最短距離にあるRFシールドビア列84（信号ビアから最短距離にある複数のRFシールドビア75bからなるビア列）との間隔を、高周波パッケージ2内にて使用する高周波信号の実効波長 λ_g の $1/2$ 未満の値として設定している。また、各グランドビア列82、84における各グランドビアの隣接間隔も $\lambda_g/2$ 未満の値として設定している。これにより、キャピティ40の側壁55への不要波の進入を抑圧するとともに、不要波の奥行き方向への通過を抑圧する。このため、キャピティ側縁部71内に高周波成分が結合することを抑圧することができ、たとえばバイアス／制御信号用パッド50の周囲の誘電体56さらにはキャピティ40の側壁55などを介して不要波が多層誘電体基板23内に進入したとしても、奥行き方向への通過量が小さくなるため、信号ビア65あるいは内層信号線路60への高周波信号の結合を抑圧することができる。したがって、これら信号ビア65、内層信号線路60、外部端子51を経由して不要波が高周波パッケージ2の外部に放射されることを抑止することができる。

【0046】

(c) 図7および図8に示すように、内層信号線路60には、高周波パッケージ2内にて使用する高周波信号の実効波長 λ_g の $1/4 \pm 10\%$ の長さを有する先端開放線路（オープンスタブ）83を設ける。このようなオープンスタブ83を設けるようにしているので、キャピティ40の側壁55あるいはバイアス／制御信号用パッド50の周囲の誘電体56を介して信号ビア65あるいは内層信号線路60に結合した不要波をオープンスタブ83の箇所で反射することができ、これにより不要波がオープンスタブ83より先まで通過することを抑圧し、外部端子51を介した外部への高周波成分の漏洩を抑止することができる。

【0047】

このように本高周波パッケージ2においては、上記した特徴的な構成(a)～(c)を備えることにより、本高周波パッケージ2内において不要波の外部への放射を抑制するようにしている。

【0048】

以下、図10～図19を用いて、本発明の要部である上記特徴的な構成(b)(c)に

について計測する。図10は、図9、図10のいずれは図1に示した同周波パッケージングを面平
・ 化して示したものであり、図5に示した2つのキャビティ40のうちの一方のキャビティ
40を有する高周波パッケージ2を示している。図11は、図10のA-A線で切断した
・ 状態を示したものである。図10では、カバー25を取り去った状態を示している。

【0049】

図10において、高周波パッケージ2は、前述したように、接地されている金属製のキャ
リア22、多層誘電体基板23、シールリング24、キャビティ40、フィードスルー
42、高周波半導体43、ワイヤ44、マイクロストリップ線路45、バイアス／制御信
号用パッド50、外部端子51、バイアス／制御信号用パッド50の周囲の誘電体56、
多層誘電体基板23の表面に形成されたグラウンド57などを備えている。

【0050】

高周波パッケージ2には外部端子51が設けられ、外部端子51は信号ビア65及び内
層信号線路60を経由して、バイアス／制御信号用パッド50と電気的に接続されている
。高周波パッケージ2の表層においては、マイクロストリップ線路45、バイアス／制御
信号用パッド50及びその周囲の誘電体56以外は、バイアスまたは制御信号に、高周波
信号が結合するのを抑圧するため、グラウンドパターン（図10では、側縁部表層グラ
ウンドパターン57のみが示されている）を設けている。側縁部表層グラウンドパター
ン57は、グラウンドビア81、75bなどを介して内層接地導体70（図7参照）に接続
されている。ここで、この高周波パッケージ2においては、前述したように、キャビ
ティ40の側壁55は、多層誘電体基板23の誘電体が露出されている。

【0051】

高周波半導体43で使用された高周波信号は、例えばワイヤ44によってマイクロスト
リップ線路45に接続され、フィードスルー42等によって他のキャビティ40内の高周
波半導体43に伝送される。高周波半導体43を駆動あるいは制御するためのバイアス／
制御信号は、外部端子51から信号ビア65及び内層信号線路60を経由してバイアス／
制御信号用パッド50を通り、このバイアス／制御信号用パッド50からワイヤ44を経
由して高周波半導体43に印加される。高周波パッケージ2に設けられたグラウンドパ
ターンやグラウンドビアは、高周波半導体43あるいはマイクロストリップ線路45から空間に
放射される高周波信号成分が、バイアス／制御信号に結合するのを抑圧する。

【0052】

つぎに、上述した特徴的な構成（b）について詳述する。図11および図12に示すよ
うに、多層誘電体基板23内におけるキャビティ40の側壁55の近傍に、複数の側壁グ
ラウンドビア81が奥行き方向Kに並べられている1列の側壁グラウンドビア列82を設ける
。そして、この側壁グラウンドビア列82と、信号ビア65を挟んで側壁グラウンドビア列8
2から最短距離にある複数のグラウンドビア75bで構成されるグラウンドビア列84との間
隔を、高周波パッケージ2内にて使用する高周波信号の実効波長 λ_g の1/2未満の値と
して設定している。また、各グラウンドビア列82、84における隣接するグラウンドビアの
間隔tも $\lambda_g/2$ 未満の値として設定している。

【0053】

これに対し、図13は、キャビティ40を構成する側壁55の付近に側壁グラウンドビア
列82を設けない場合の構成を示すものである。図13のように、側壁グラウンドビア列8
2を設けない場合、側壁55が高周波的には磁気壁として動作するため、磁気壁を最大電
界値の対称軸とした図13に示したような電界分布が発生する。ここで、側壁55からグ
ラウンドビア列84までの距離を L_a とすると、半波長が $2L_a$ 以下の波長成分は奥行き方
向Kに通過可能となり、半波長が $2L_a$ より長い波長成分のみ奥行き方向Kに通過不可
能となる。

【0054】

したがって、図13のように、 $L_a \geq \lambda_g/4$ である場合は、実効波長 λ_g の高周波成分
は奥行き方向Kに通過可能となる。このため、図13に示すように、側壁55の付近に側
壁グラウンドビア列82を設けずかつ側壁55からグラウンドビア列84までの距離が、上記

大効波長 λ_g の $1/2$ 以上の値は、側壁 55 あるいはハイパスフィルタ用パッド 50 の周囲の誘電体 56 などを介して進入した高周波成分がキャビティ側縁部 71 内で結合し、これが奥行き方向 K に通過してバイアス／制御信号に結合し、信号ピア 65 、内層信号線路 60 、外部端子 51 を介して漏洩することになる。

【0055】

しかし、図 11 および図 12 に示す構成では、まずグランドピア列 82 、 84 における隣接するグランドピアの間隔 t を $\lambda_g/2$ 未満の値として設定している。これにより、隣接するグランドピア 81 、 81 （あるいは $75b$ 、 $75b$ ）がそれぞれカットオフ導波管として働き、側壁 55 からの高周波成分の進入を抑制することができる。

【0056】

さらに、図 11 および図 12 に示す構成では、側壁グランドピア列 82 とグランドピア列 84 との間隔を、上記実効波長 λ_g の $1/2$ 未満の値として設定している。このため、側壁グランドピア列 82 とグランドピア列 84 との間の部分がカットオフ導波管として働き、その通過特性は、図 14 の曲線 b で示すように、ハイパスフィルタのような特性を示し、周波数 f_0 の付近および f_0 より低周波領域での通過量を少なくすることができる。

【0057】

図 14 は、図 12 の構成において、側壁グランドピア列 82 とグランドピア列 84 との間隔を高周波信号の実効波長 λ_g の $1/2$ 未満の値とした場合と、 $1/2$ 以上にした場合、さらに図 13 に示すように、側壁グランドピア列 82 を配設しない場合であってかつ $L a \geq \lambda_g/4$ である場合と、 $L a < \lambda_g/4$ とした場合における、キャビティ側縁部 71 での奥行き方向 K への高周波信号成分の通過特性を示すものである。破線で示す曲線 a は、図 12 の構成において側壁グランドピア列 82 とグランドピア列 84 との間隔を実効波長 λ_g の $1/2$ 以上にした場合、あるいは図 13 に示すように側壁グランドピア列 82 を配設しない場合であってかつ $L a \geq \lambda_g/4$ である場合に対応している。実線で示す曲線 b は、図 12 の構成において、側壁グランドピア列 82 とグランドピア列 84 との間隔を高周波信号の実効波長 λ_g の $1/2$ 未満の値とした場合、あるいは図 13 に示すように側壁グランドピア列 82 を配設しない場合であってかつ $L a < \lambda_g/4$ である場合（図 23 に示す構成）に対応している。

【0058】

図 14 において、 f_0 は高周波パッケージ 2 内にて使用する高周波信号の実効波長 λ_g に対応する周波数であり、レーダ装置 1 から送信される送信波の周波数が 76GHz であるとする、 $f_0 = 76\text{GHz}$ である。図 14 の曲線 a に示すように、側壁グランドピア列 82 を配設せずかつ $L a \geq \lambda_g/4$ である場合、あるいは図 12 に示すように側壁グランドピア列 82 を配設するが側壁グランドピア列 82 とグランドピア列 84 との間隔が実効波長 λ_g の $1/2$ 以上ある場合は、高周波信号の実効波長 λ_g に対応する周波数 f_0 での奥行き方向 K への通過量は大きい。

【0059】

しかし、図 11 あるいは図 12 に示すように、側壁グランドピア列 82 とグランドピア列 84 との間隔を高周波信号の実効波長 λ_g の $1/2$ 未満の値とした場合は、前述したように、その奥行き方向 K への通過特性は、図 14 の曲線 b で示すように、ハイパスフィルタのような特性を示し、周波数 f_0 の付近および f_0 より低周波領域での通過量が少なくすることができる。したがって、バイアス／制御信号用パッド 50 の周囲の誘電体 56 さらにはキャビティ 40 の側壁 55 などを介して不要波が多層誘電体基板 23 内に進入したとしても、キャビティ側縁部 71 での奥行き方向への通過量が小さくなるため、信号ピア 65 あるいは内層信号線路 60 への高周波信号の結合量を抑圧することができる。よって、これら信号ピア 65 、内層信号線路 60 、外部端子 51 を経由して高周波パッケージ 2 の外部に放射される不要波を抑圧することができる。因みに、図 12 には、側壁グランドピア列 82 を配設した場合の、電界分布を示している。

【0060】

また、この種のレーダ装置においては、発振信号を逡倍して送信信号を作ることが多い

ため、高周波成分が $1/2$ の場合は、 0.5 の高周波成分、 1.5 の高周波成分、... などの高周波成分が混在しているが、これらの高周波成分を含めて信号ビア 65 あるいは内層信号線路 60 への結合を抑制することができる。

【0061】

なお、図 12 に示すように、バイアス／制御信号用パッド 50 の周囲には、誘電体 56 が露出されているが、この露出箇所における側壁 55 側に近い箇所には、側縁部表層グラウンドパターン 57 および側壁グラウンドビア 81 を形成しないようにしている。これは、この箇所に側縁部表層グラウンドパターン 57 および側壁グラウンドビア 81 を形成した場合、バイアス／制御信号用パッド 50 へのワイヤ 44 のワイヤボンディングの際、誤ってワイヤ 44 がこれらのグラウンドに接触する可能性があるためである。勿論、このような点を考慮しない場合は、バイアス／制御信号用パッド 50 の全周囲を側縁部表層グラウンドパターン 57 で覆いかつ側壁グラウンドビア 81 を設けるようにしたほうが、高周波成分の外部漏洩を抑制する面では好ましい。

【0062】

また、図 10 に示す高周波パッケージ 2 においては、奥行き方向 K に延びるマイクロストリップ線路 45 が設けられており、マイクロストリップ線路 45 の両側に位置するキャビティ側縁部 71a では、奥行き方向 K に垂直な J 方向への高周波成分の通過量を抑制する必要がある。この場合、マイクロストリップ線路 45 の両側には、グラウンドビア列 74 を形成することによって、J 方向への高周波成分の漏れを抑えるようにしているので、キャビティ側縁部 71a の K 方向についての長さ d を、実効波長 λ_g によって特に規定する必要はない。

【0063】

(特徴的な構成 (b) の変形態様 1)

図 15 は図 11 の構成の変形態様 1 を示すものである。図 15 においては、複数の側壁グラウンドビア 81 は、縦に半割りしたような形状を呈し、キャビティ 40 を構成する側壁 55 に接して配置されている。

【0064】

図 15 の場合においても、複数の側壁グラウンドビア 81 から成る側壁グラウンドビア列 82 と、グラウンドビア列 84 との間隔を、上記実効波長 λ_g の $1/2$ 未満の値として設定し、かつ各グラウンドビア列 82、84 における隣接するグラウンドビアの間隔 t も $\lambda_g/2$ 未満の値として設定している。したがって、この図 15 の構成においても、キャビティ 40 の側壁 55 への不要波の進入を抑圧するとともに、不要波の奥行き方向 K への通過を抑圧することができる。たとえばバイアス／制御信号用パッド 50 の周囲の誘電体 56 さらにはキャビティ 40 の側壁 55 などを介して不要波がキャビティ側縁部 71 内に進入したとしても信号ビア 65 あるいは内層信号線路 60 への高周波信号の結合を抑圧できる。このため、これら信号ビア 65、内層信号線路 60、外部端子 51 を経由して不要波が高周波パッケージ 2 の外部に放射されることを抑圧することができる。

【0065】

(特徴的な構成 (b) の変形態様 2)

図 16 は図 11 の構成の変形態様 2 を示すものである。この図 16 の構成においては、キャビティ 40 を構成する側壁 55 をグラウンドパターン 85 で全面メタライズするようにしている。また、このグラウンドパターン 85 とグラウンドビア列 84 との間隔を、上記実効波長 λ_g の $1/2$ 未満の値として設定し、かつ各グラウンドビア列 84 における隣接するグラウンドビアの間隔 t を $\lambda_g/2$ 未満の値として設定している。したがって、この図 15 に示す構成においては、キャビティ 40 の側壁 55 への不要波の進入を完全に抑圧することができる。また、バイアス／制御信号用パッド 50 の周囲の誘電体 56 などを介して不要波が多層誘電体基板 23 内に進入したとしても信号ビア 65 あるいは内層信号線路 60 への高周波信号の結合量を抑圧でき、これら信号ビア 65、内層信号線路 60、外部端子 51 を経由して不要波が高周波パッケージ 2 の外部に放射されることを抑圧することができる。

【 0 0 6 6 】

つぎに、上述した特徴的な構成(c)について詳述する。図11および図17に示すように、バイアス／制御信号用パッド50に接続される内層信号線路60には、上記実効波長 λ_g の $1/4 \pm 10\%$ の長さを有する先端開放線路(オープnstub)83を設けるようにしている。このようなオープnstub83を設けることにより、キャビティ40の側壁55あるいはバイアス／制御信号用パッド50の周囲の誘電体56などを介して信号ピア65あるいは内層信号線路60に結合した高周波線分がオープnstub83より先の内層信号線路60まで通過することを抑圧し、これにより外部端子51を介した外部への高周波成分の漏洩を抑圧する。

【 0 0 6 7 】

これに対し、図18に示すように、内層信号線路60に先端開放線路83を設けないようにした場合、信号ピア65あるいは内層信号線路60に結合した高周波線分が内層信号線路60を通過して外部端子51から外部へ漏洩することになる。

【 0 0 6 8 】

図19は、バイアス／制御信号用パッド50～外部端子51間における高周波成分の通過特性を示しており、曲線cが図18のように先端開放線路83を設けない場合を、曲線dが図17に示すように実効波長 λ_g の $1/4 \pm 10\%$ の長さを有する先端開放線路83を設ける場合を示している。図19の曲線cからも判るように、先端開放線路83を設けない場合は、全周波数帯域亘って通過量が多くなるため、信号ピア65あるいは内層信号線路60に高周波成分が結合した場合、外部までその高周波成分が漏洩する事になる。

【 0 0 6 9 】

これに対し、実効波長 λ_g の $1/4 \pm 10\%$ の長さを有する先端開放線路83を設けた場合は、図19の曲線dからも判るように、バンドストップフィルタの機能が働き、高周波信号の実効波長 λ_g に対応する周波数 f_0 の近傍帯域において、通過量が極端に減らすことができる。このため、信号ピア65あるいは内層信号線路60に結合した高周波線分がオープnstub83より先の内層信号線路60まで通過することを抑止することができ、これにより外部への高周波成分の漏洩を抑圧する事が可能となる。

【 0 0 7 0 】

このようにこの実施の形態1によれば、上記した特徴的な構成(a)～(c)を備えるようにしているので、高周波パッケージ2の内部で高周波成分のシールド処理を行うことができ、これにより高周波パッケージの外部への高周波成分の漏洩を抑圧する事ができる。したがって、低コストで高周波シールド性能の高い高周波パッケージ、レーダモジュールさらにはレーダ装置を実現することができる。

【 0 0 7 1 】

なお、上記実施の形態1では、多層誘電体基板23内に形成したキャビティ40内に高周波半導体43を収容する構成の高周波パッケージ2に本発明を適用するようにしたが、上記した特徴的な構成(a)～(c)は、キャビティ40を持たない多層誘電体基板23の表層に高周波半導体43を搭載するような構成の高周波パッケージ2にも適用することができる。

【 0 0 7 2 】

実施の形態2.

この発明の実施の形態2を図20にしたがって説明する。実施の形態2においては、実施の形態1で用いた先端開放線路83を、複数の先端開放線路の組み合わせから成る低域通過フィルタ(ローパスフィルタ)86に変更している。図21は、この低域通過フィルタ86の通過特性を示すものであり、この低域通過フィルタ86によれば、高周波信号の実効波長 λ_g に対応する周波数 f_0 より低い所定の周波数 f_1 以上の周波数成分をカットするようにしている。この低域通過フィルタ86は、実効波長 λ_g に近い値の複数の波長成分が多く存在する場合に有効である。

【 0 0 7 3 】

この実施の形態2によれば、内層信号線路60に低域通過フィルタ86を設けるように

しているの、信号を、この内層信号線路60に和した同向放線が、オーノン
スタブ83より先の内層信号線路60まで通過することを抑圧することができ、これにより外部への高周波成分の漏洩を抑圧する事が可能となる。

【0074】

実施の形態3.

この発明の実施の形態3を図22および図23にしたがって説明する。図22は実施の形態3の高周波パッケージ2'を示すものであり、この高周波パッケージ2'においては、先の図7に示した高周波パッケージ2の構成要素と同じ機能を達成する構成要素に関しては、同一符号を付しており、重複する説明は省略する。

【0075】

図22に示す高周波パッケージ2'は、両面実装を行っており、多層誘電体基板23の裏面にも高周波半導体（または高周波半導体に関連する電子回路）66を搭載している。高周波半導体66は、キャリア22および裏面カバー67によってシールドされている。

【0076】

この実施の形態3の高周波パッケージ2'においては、キャビティ40を構成する側壁55の近傍には、図12に示した側壁グラウンドビア81あるいは図16に示したグラウンドパターン85を設けてはおらず、側壁55は誘電体が露出された非接地状態にある。そして、実施の形態3の高周波パッケージ2'においては、図22及び図23に示すように、側壁55と、信号ビア65を挟んで側壁55から最短距離にある複数のグラウンドビア75bで構成されるグラウンドビア列84との間隔を、高周波パッケージ2内にて使用する高周波信号の実効波長 λ_g の1/4未満の値として設定している。

【0077】

この構成の場合、側壁55は、先の図13の場合と同様、磁気壁として動作し、図13に示したものと同様の電界分布をもつ。しかし、この構成の場合、側壁55とグラウンドビア列84との間隔Lbを、上記実効波長 λ_g の1/4未満として設定しているの、実効波長 λ_g の高周波成分は奥行き方向Kには通過不可能となる。すなわち、実効波長 λ_g の高周波信号については、先の図14にも示したように、奥行き方向Kにカットオフとなる。

【0078】

このように、この実施の形態3においては、高周波信号は側壁55を介して多層誘電体基板23内に進入することはできるが、奥行き方向Kへの通過は抑制することができる。このため、信号ビア65あるいは内層信号線路60への高周波信号の結合量を抑圧することができ、信号ビア65、内層信号線路60、外部端子51を経由して不要波が高周波パッケージ2の外部に放射されることを抑圧することができる。

【0079】

実施の形態4.

この発明の実施の形態4を図24にしたがって説明する。この実施の形態4は、先の実施の形態3の変形であり、多層誘電体基板23のキャビティ側縁部71の上面に形成した側縁部表層グラウンドパターン57の一部を抜き、このグラウンド抜き部分87では誘電体を露出するようにした点のみが実施の形態3と異なる。誘電体が露出された側壁55とグラウンドビア列84との間隔Lbは、実効波長 λ_g の1/4未満として設定されている。

【0080】

グラウンド抜き部分87を設けるようにしているので、キャビティ側縁部71の内部で結合した高周波成分をグラウンド抜き部分87を介してシールドリング24およびカバー25で囲まれた内部空間に放出することができる。すなわち、この場合はキャビティ側縁部71の内部に進入してきた高周波成分をグラウンド抜き部分87を介して上に抜くようにしている。このように、実施の形態4では、キャビティ側縁部71の内部で結合した高周波成分を内部空間に放出することが可能となるため、バイアスまたは制御信号への結合量をさらに減少させることができる。したがって、不要波が高周波パッケージの外部に放射されることをさらに抑圧することができる。

【0081】

なお、フロント板と部材 91 を互に大抵の形態 1 の同周波パッケージのタイプとして、図縁部 71 に設けるようにしてもよい。

【0082】

実施の形態 5.

この発明の実施の形態 5 を図 25、図 26-1 ~ 図 26-4 にしたがって説明する。実施の形態 5 は、フリップチップ実装の高周波半導体 (MMIC) 90 を搭載する高周波パッケージ 91 に、実施の形態 1 で説明した特徴的な構成 (b) の発明を適用するようにしている。

【0083】

図 25 に示すフリップチップ実装の高周波半導体 90 は、その底面に多数の金ボール (bumps) 92 を有しており、これら bumps 92 を介して高周波半導体 90 と多層誘電体基板 23 との間を接続する。図 26-1 は、高周波半導体 90 の裏面すなわち bumps 92 の配列例を示すもので、この場合、白抜きで示す信号 bumps 92 a の周りに黒塗りで示すグランド bumps 92 b が配置されている。

【0084】

接地されたキャリア 22 上には、多層誘電体基板 23 が形成されている。多層誘電体基板 23 上には、前述のシールリング 24 およびカバー 25 が形成されており、これらシールリング 24 およびカバー 25 によって高周波半導体 90 がシールドされている。高周波半導体 90 は、多層誘電体基板 23 表層に設けられた導体パッド 94 にフリップチップ実装される。多層誘電体基板 23 の各層には、実施の形態 1 で示した図 7 の高周波パッケージ 2 と同様、表層接地導体 93、内層接地導体 70 および内層信号線路 60 が適宜形成されており、内層接地導体 70、表層接地導体 93 およびキャリア 22 などの間をグランドビア 75 で接続している。また信号 bumps 92 a と外部端子 51 との間は、信号ビア 65 および内層信号線路 60 によって接続されている。

【0085】

図 26-2 (面 A) は、高周波半導体 90 の直下における第 1 層表層のビア構造の一部を示すもので、信号 bumps 92 a およびグランド bumps 92 b の配置に対応して信号ビア 65 およびグランドビア 75 が配置されている。図 26-3 (面 B) は、高周波半導体 90 の直下における第 2 層表層のビア構造の一部を示すもので、また図 26-4 (面 C) は、高周波半導体 90 の直下における第 3 層表層のビア構造の一部を示すもので、面 C として示す第 3 層表層には、内層信号線路 60 が形成されている。

【0086】

このような高周波半導体 90 を実装するに当たっては、図 25 および図 26-2 に示すように、信号ビア 65 を挟んだグランドビア 75 (グランドビア列) 間の間隔 D1、D2 が、高周波パッケージ 91 に搭載される高周波半導体 90 の実効波長 λ_g の $1/2$ 未満となるように設定している。

【0087】

これにより、実施の形態 5 においては、信号ビア 65 さらには内層信号線路 60 に高周波成分が結合することを抑圧することができ、信号ビア 65、内層信号線路 60、外部端子 51 を経由して高周波成分が高周波パッケージ 2 の外部に放射されることを抑止することができる。

【0088】

なお、フリップチップ実装の高周波パッケージに、上記した特徴的な構成 (a)、(c) を適用するようにしてもよい。

【産業上の利用可能性】

【0089】

以上のように、本発明にかかる高周波パッケージ、レーダモジュールおよびレーダ装置は、ミリ波帯、マイクロ波帯の電磁波を使用し、前方の車両との距離、相対速度の検知によって、クルーズコントロールや衝突不可避時のドライバーへの被害軽減などの安全性対策に適用される FMCW レーダに有用である。

【0090】

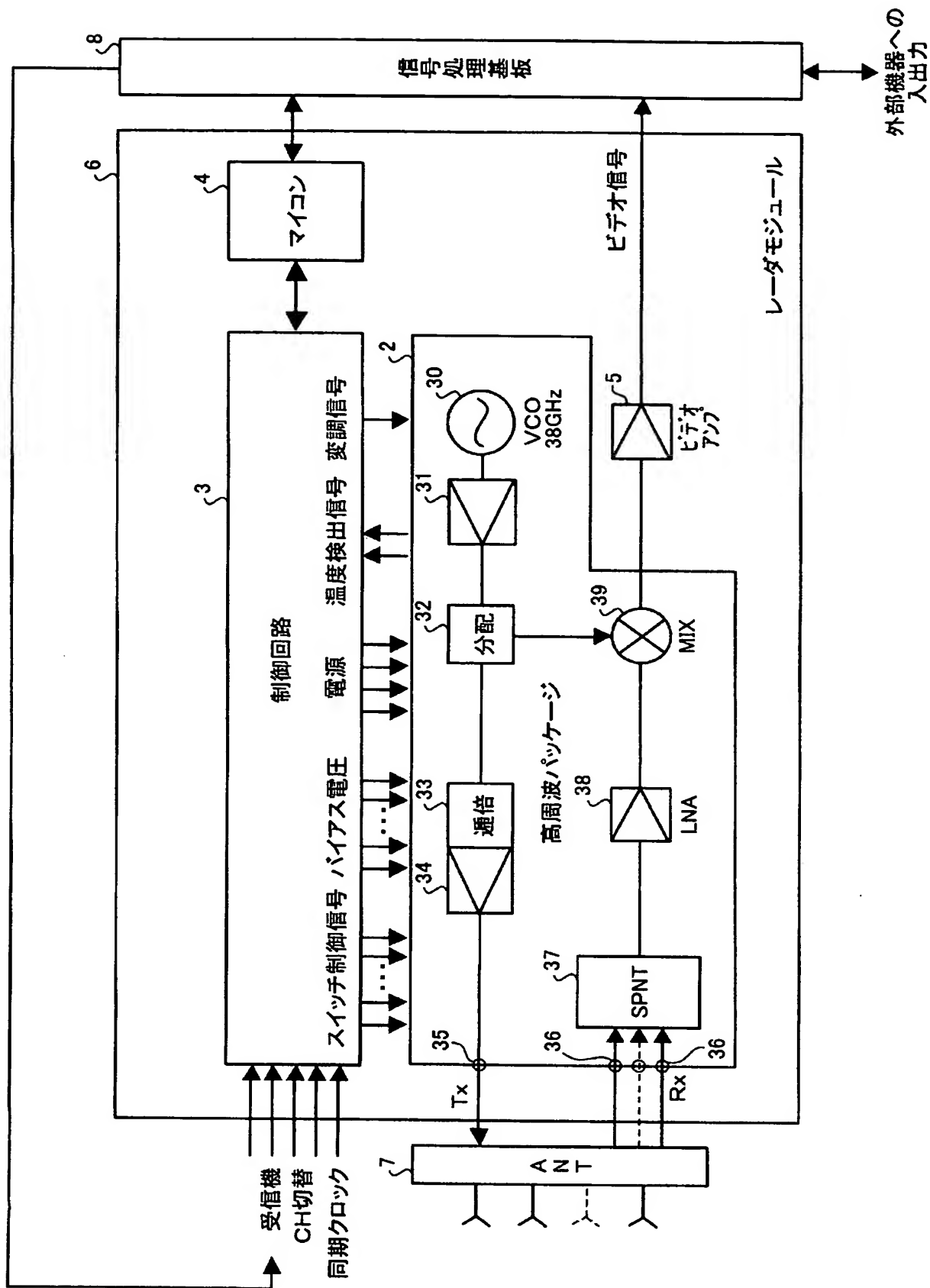
- 【図1】この発明を適用するFM-CWレーダの機能ブロック図である。
【図2】この発明を適用するFM-CWレーダの外観を示す斜視図である。
【図3】図2のI-I断面図である。
【図4】レーダモジュールの外観を示す斜視図である。
【図5】実施の形態1の高周波パッケージの平面図である。
【図6】図5のB-B断面を示す概略図である。
【図7】高周波パッケージの多層誘電体基板のビア構造を詳細に示す断面図である。
【図8-1】図7の多層誘電体基板の面Aの状態を示す図である。
【図8-2】図7の多層誘電体基板の面Bの状態を示す図である。
【図8-3】図7の多層誘電体基板の面Cの状態を示す図である。
【図8-4】図7の多層誘電体基板の面Dの状態を示す図である。
【図9】内層信号線路、内層接地導体、グラントビア、信号ビアなどの配置パターン例を示す平面図である。
【図10】高周波パッケージの簡略内部構成を示す斜視図である。
【図11】図10の一部拡大図である。
【図12】図11の一部拡大図である。
【図13】従来技術を示す図である。
【図14】高周波成分の奥行き方向への通過特性を示す図である。
【図15】実施の形態1の変形形態を示す斜視図である。
【図16】実施の形態1の他の変形形態を示す斜視図である。
【図17】図11の一部拡大図である。
【図18】従来技術を示す図である。
【図19】バイアスパッド～外部端子間の通過特性を示す図である。
【図20】実施の形態2の高周波パッケージの一部拡大図である。
【図21】実施の形態2のLPFの通過特性を示す図である。
【図22】実施の形態3の高周波パッケージを示す断面図である。
【図23】実施の形態3の高周波パッケージの一部拡大図である。
【図24】実施の形態4の高周波パッケージの一部拡大図である。
【図25】実施の形態5の高周波パッケージを示す断面図である。
【図26-1】実施の形態5の高周波パッケージに搭載される高周波半導体の裏面を示す図である。
【図26-2】図25の多層誘電体基板の面Aの状態を示す図である。
【図26-3】図25の多層誘電体基板の面Bの状態を示す図である。
【図26-4】図25の多層誘電体基板の面Cの状態を示す図である。

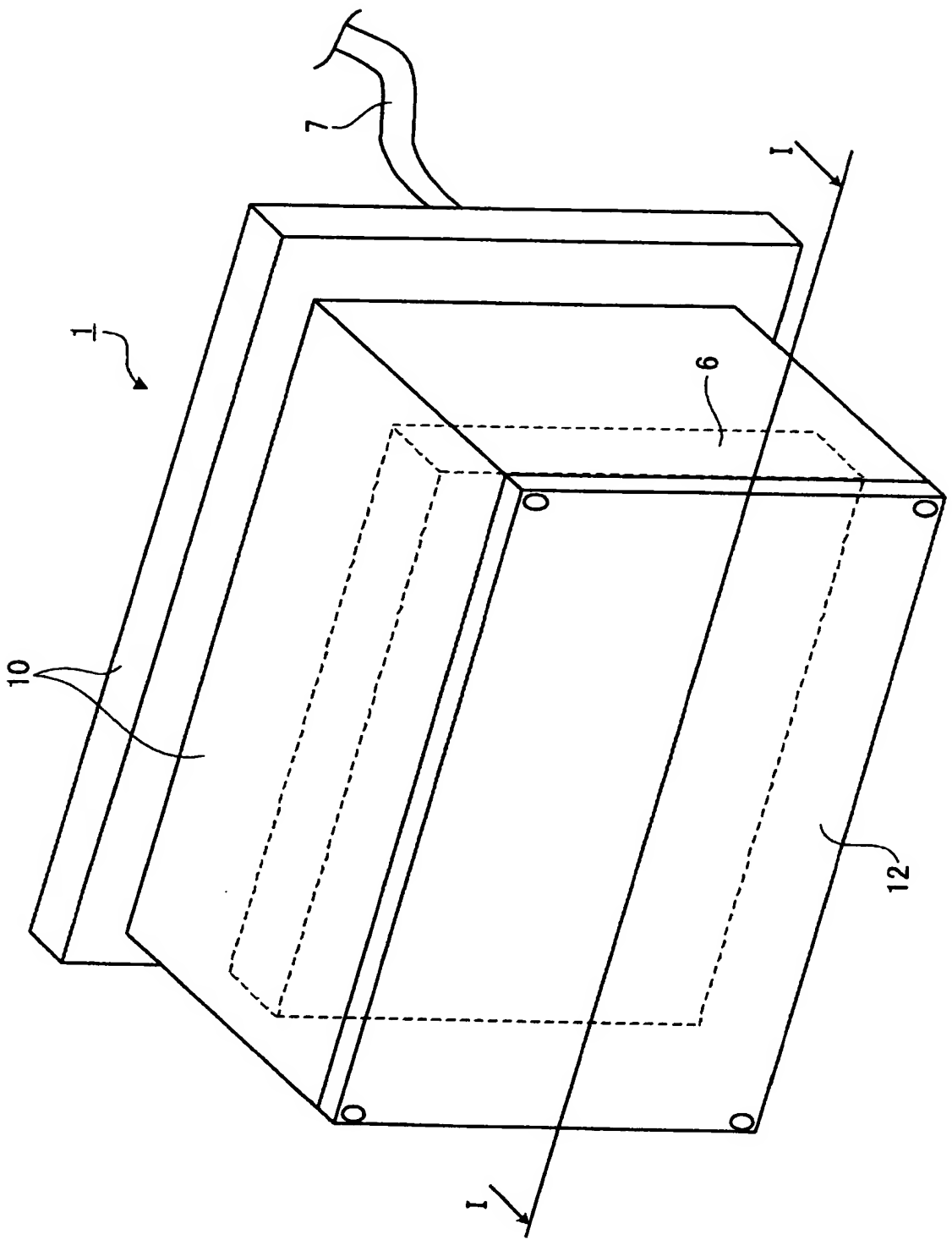
【符号の説明】

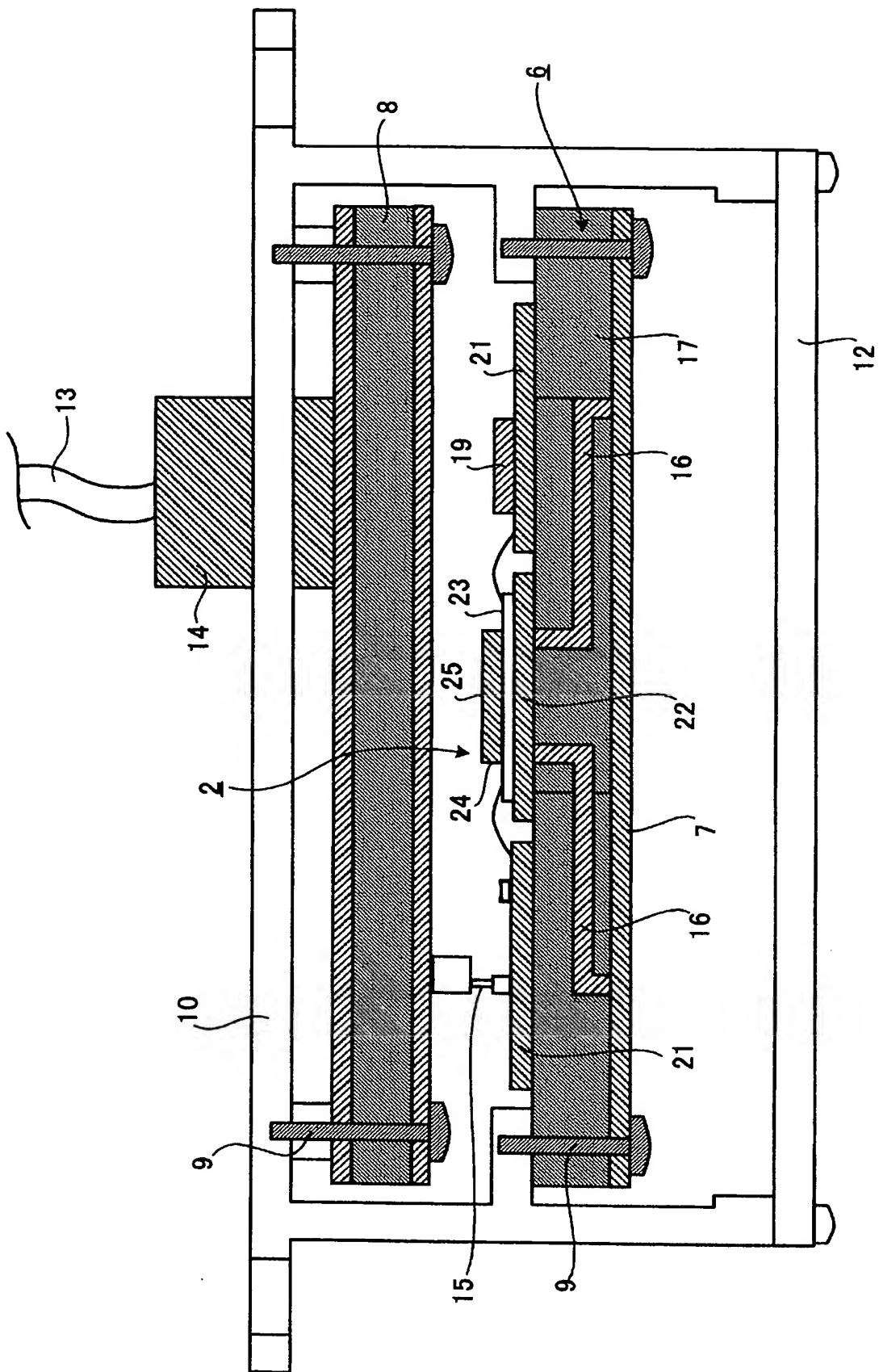
【0091】

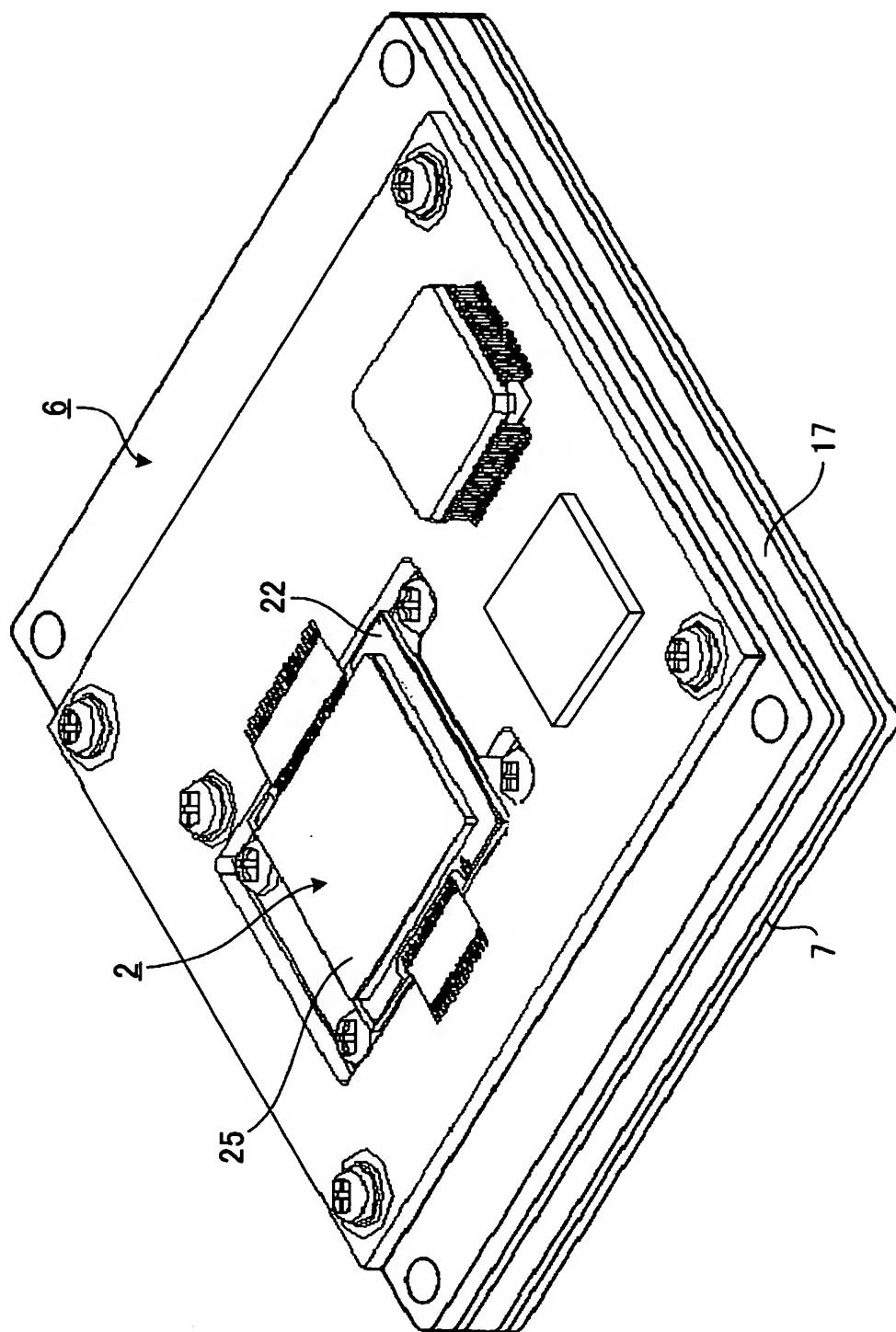
- 1 レーダ装置
- 2, 2', 91 高周波パッケージ
- 3 制御回路
- 4 マイコン
- 5 ビデオアンプ
- 6 レーダモジュール
- 7 アンテナ基板
- 8 信号処理基板
- 10 ケーシング
- 12 レドーム
- 13 ケーブル
- 14 コネクタ

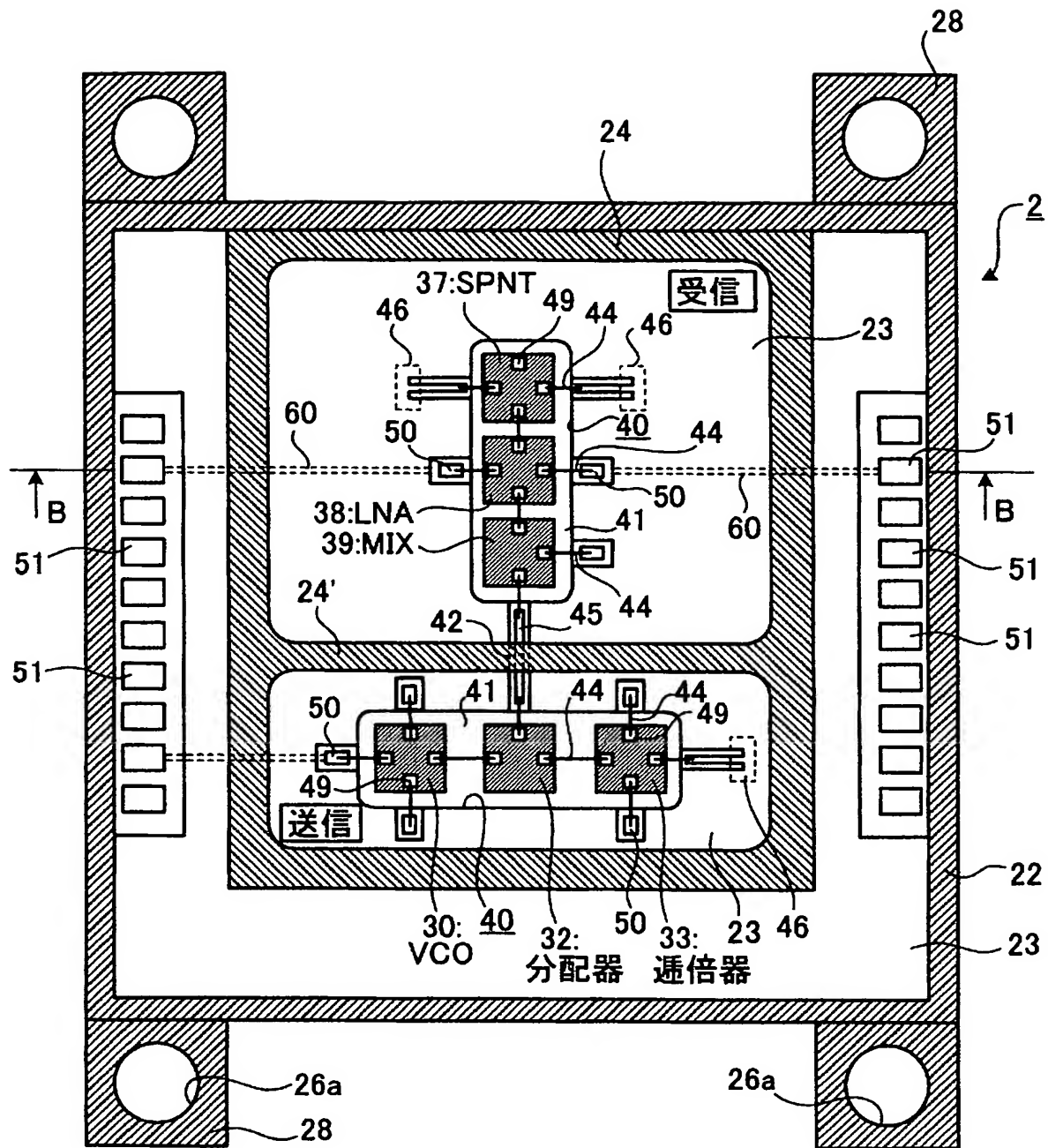
1 0 等 級 目
1 7 導波管プレート
1 9 電子回路
2 1 モジュール制御基板
2 2 キャリア
2 3 多層誘電体基板
2 4 シールリング
2 5 カバー
2 9 電磁波吸収体
3 0 発振器
3 2 電力分配器
3 3 通倍器
3 5 送信導波管端子
3 6 受信導波管端子
3 7 スイッチ
3 9 偶高調波ミクサ
4 0 キャピティ
4 2 フィードスルー
4 3 , 6 6 , 9 0 高周波半導体
4 1 , 4 4 ワイヤ
4 5 マイクロストリップ線路
5 0 バイアス／制御信号用パッド
5 1 , 5 2 外部端子
5 3 グランド面
5 5 側壁
5 6 , 6 1 誘電体
5 7 側縁部表層グランドパターン
6 0 内層信号線路
6 5 信号ビア
7 0 内層接地導体
7 1 , 7 1 a キャピティ側縁部
7 5 , 7 5 a , 7 5 b , 7 5 c グランドビア
8 0 抵抗膜
8 1 側壁グランドビア
8 2 側壁グランドビア列
8 3 先端開放線路（オープンスタブ）
8 4 グランドビア列（シールドビア列）
8 5 グランドパターン
8 6 低域通過フィルタ
8 7 グランド抜き部分
9 2 バンプ
9 2 a 信号バンプ
9 2 b グランドバンプ
9 3 表層接地導体
9 4 導体パッド
 λ_g 実効波長

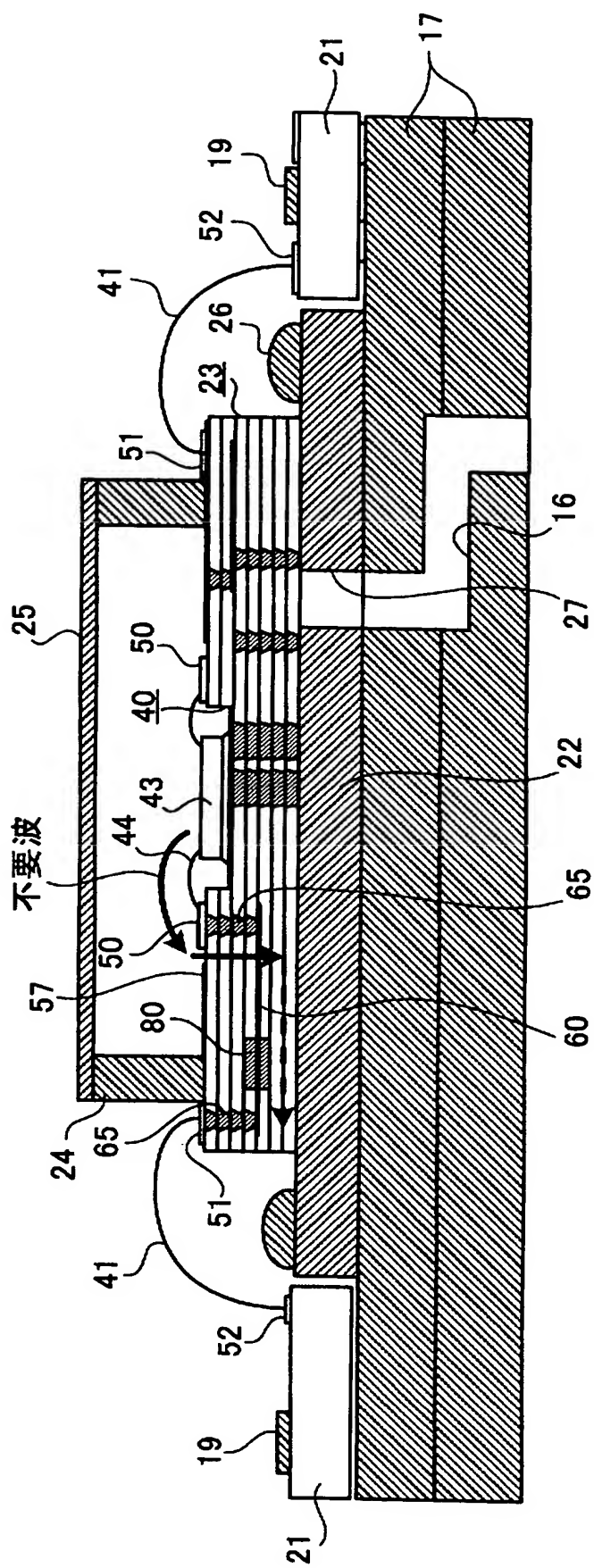


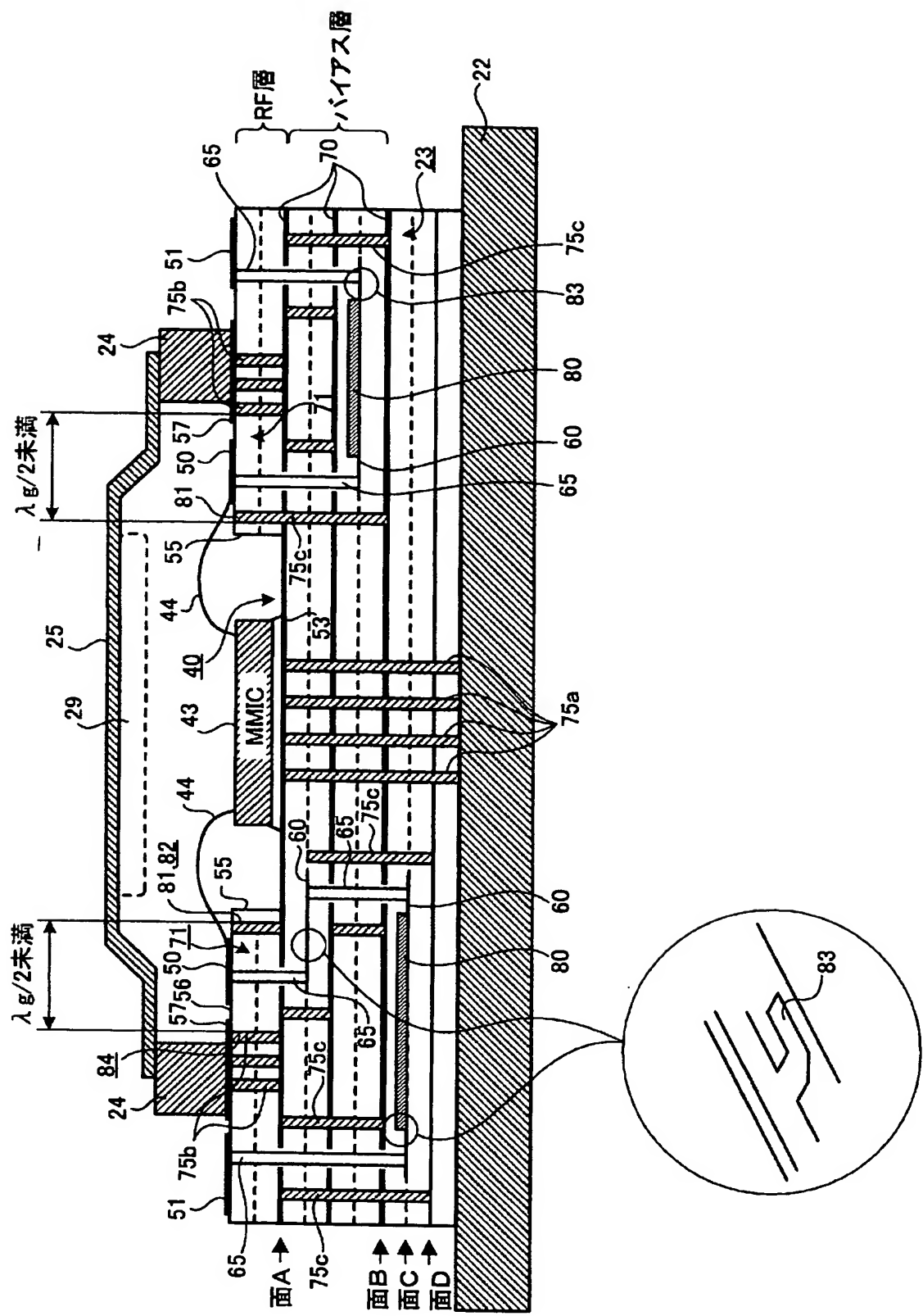


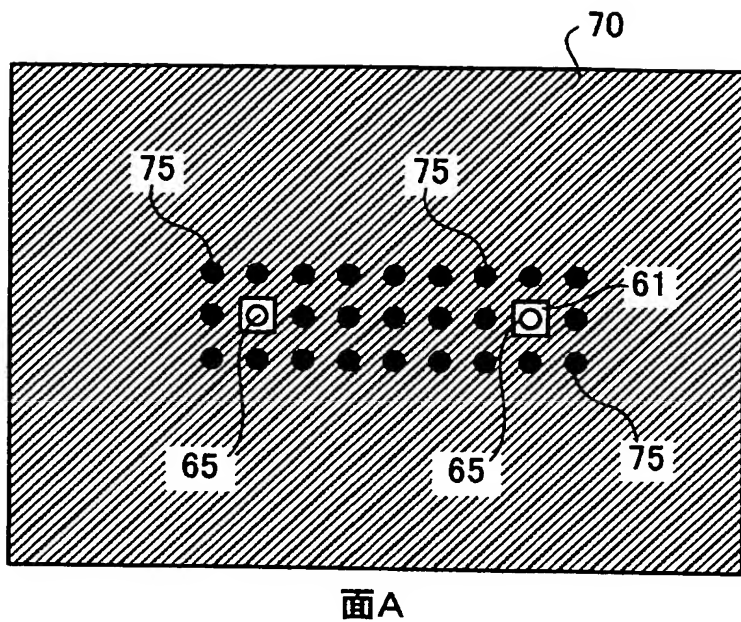




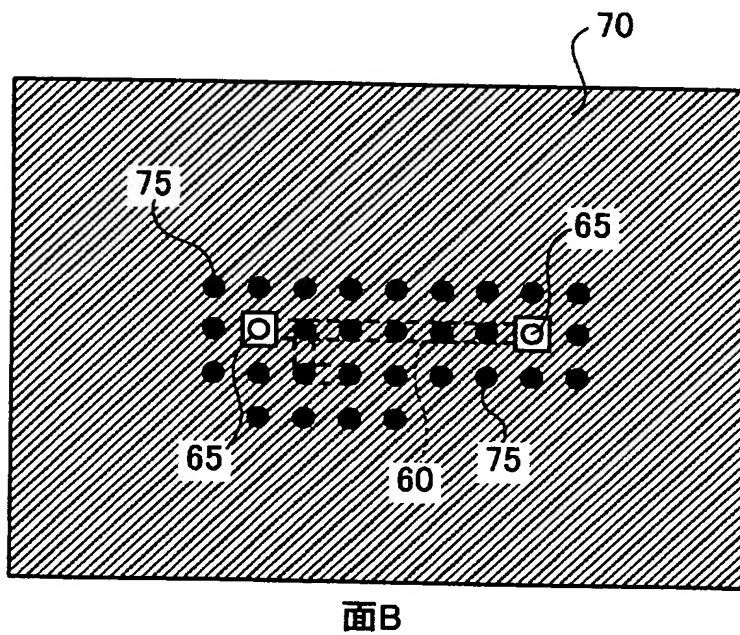


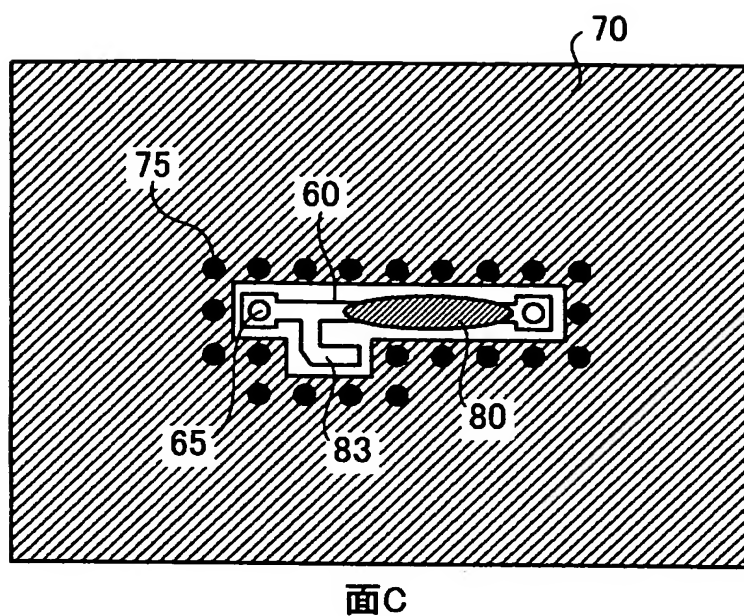




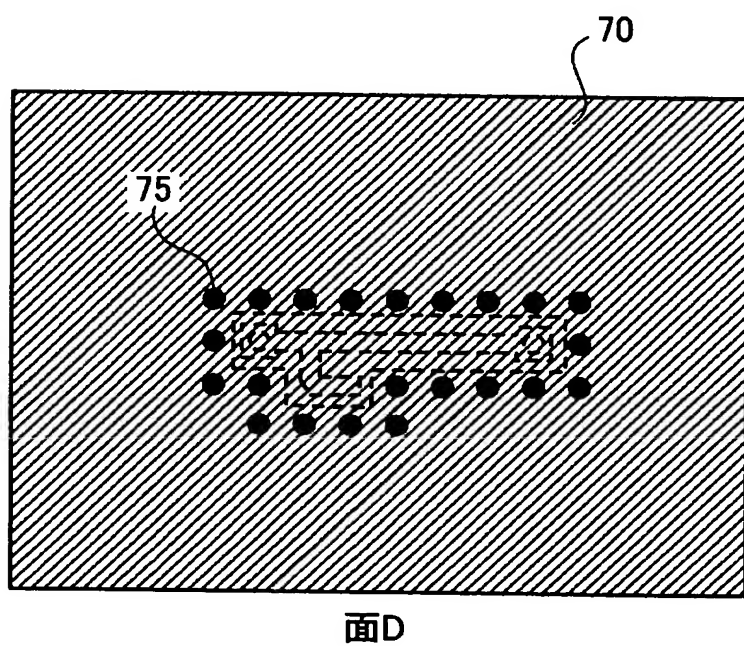


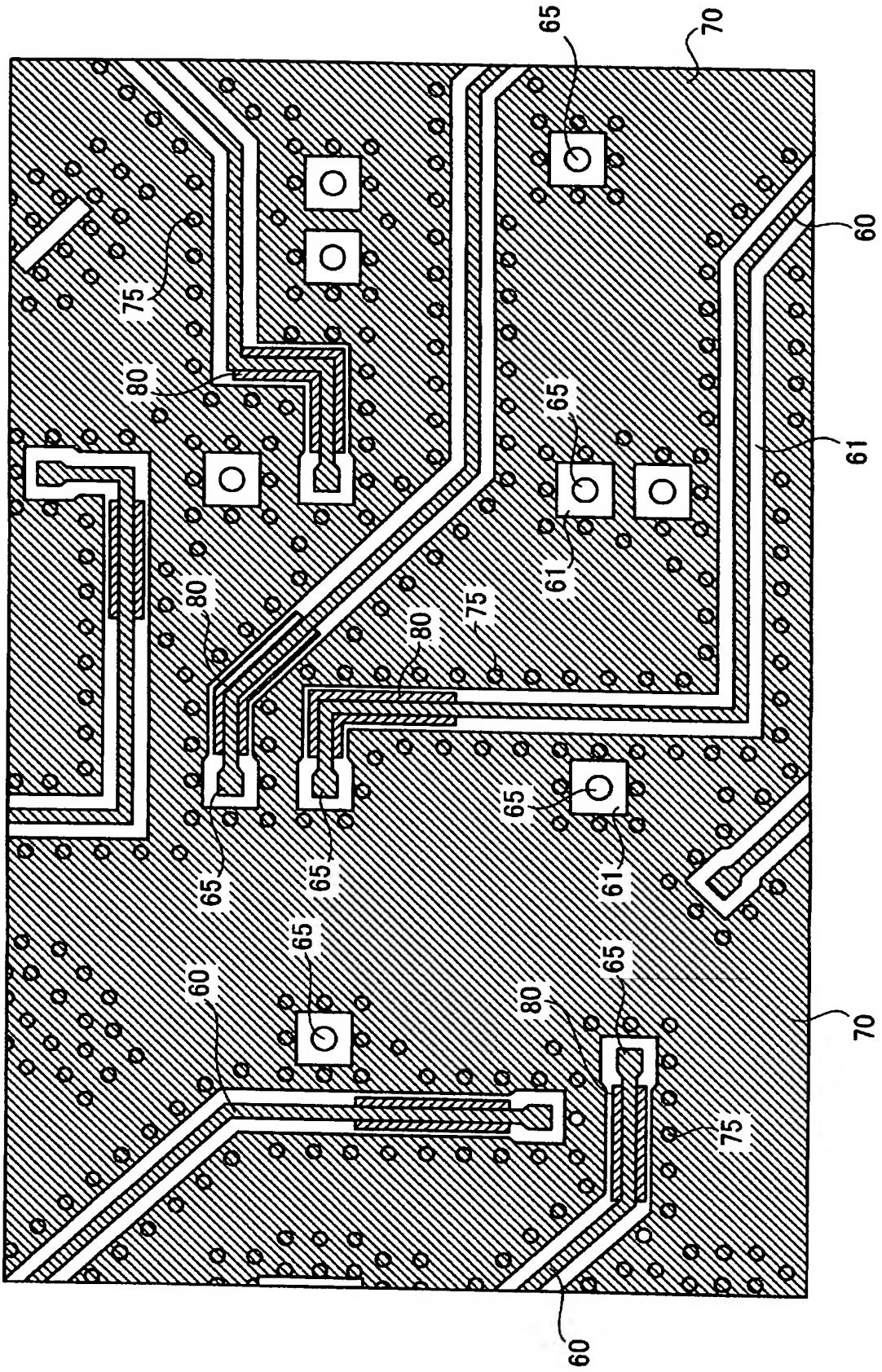
【图 8-2】

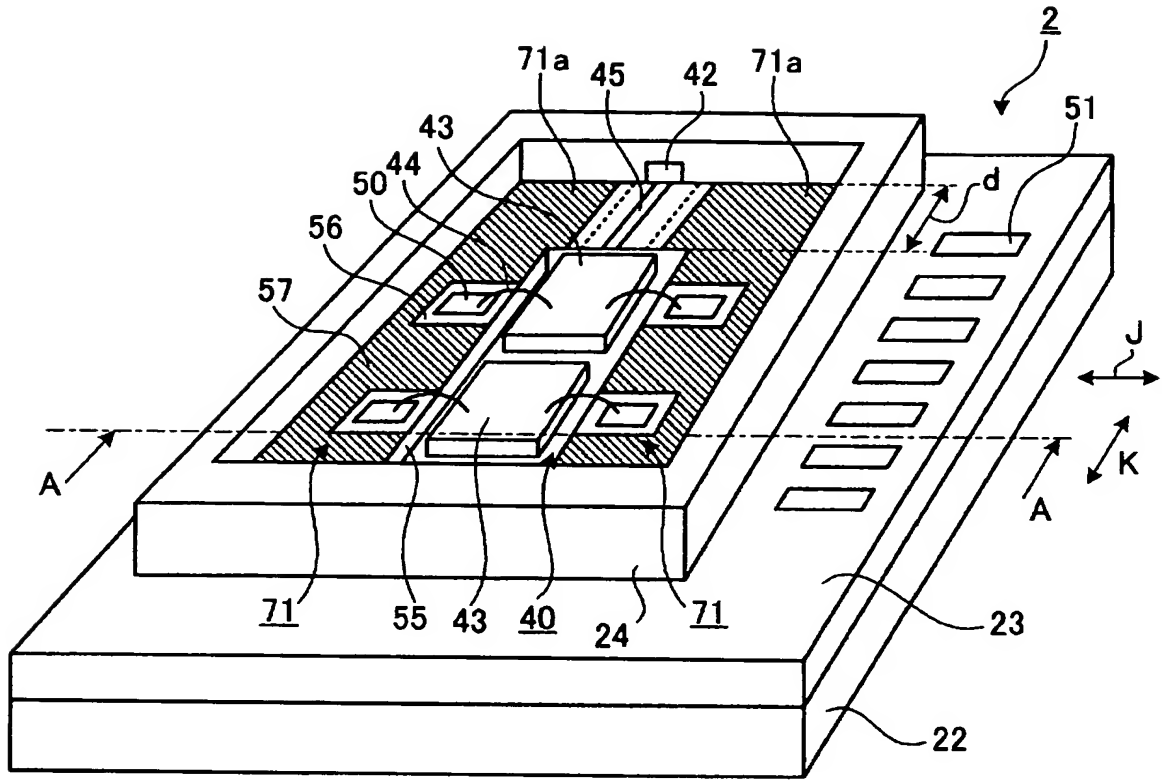




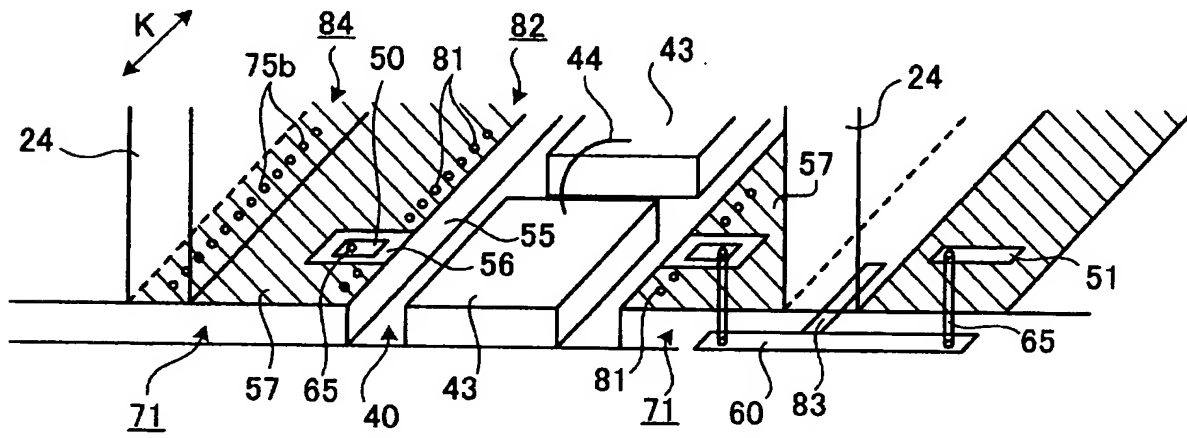
【图 8-4】

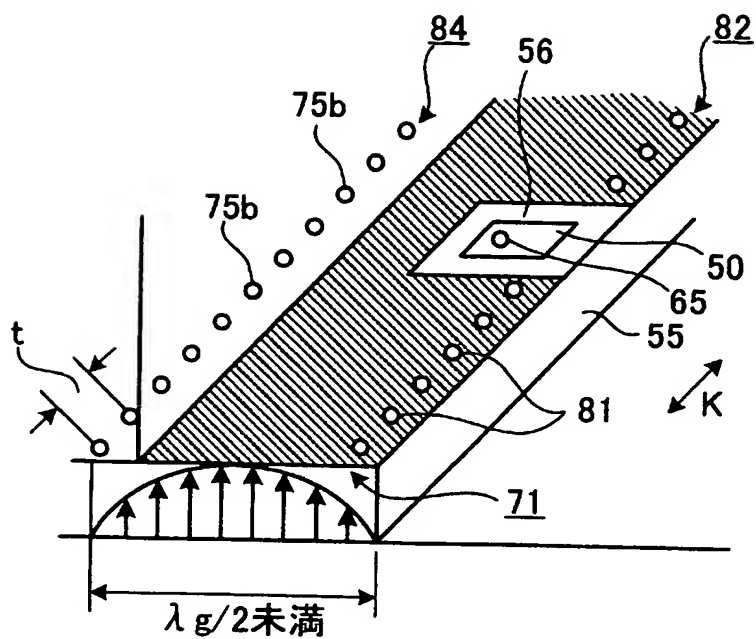




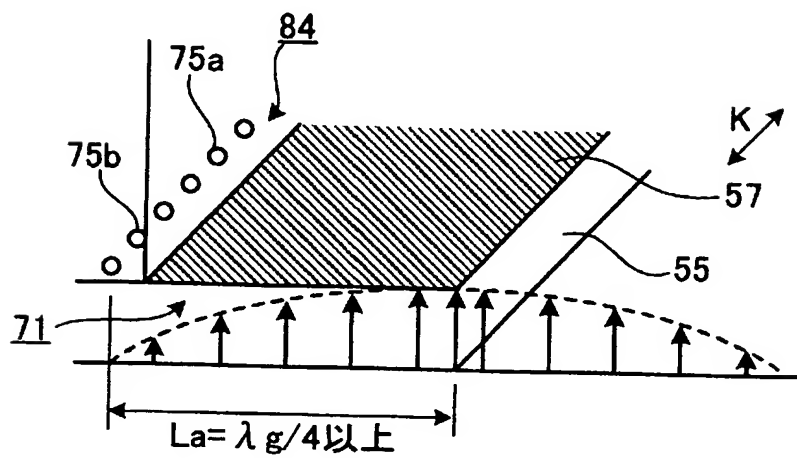


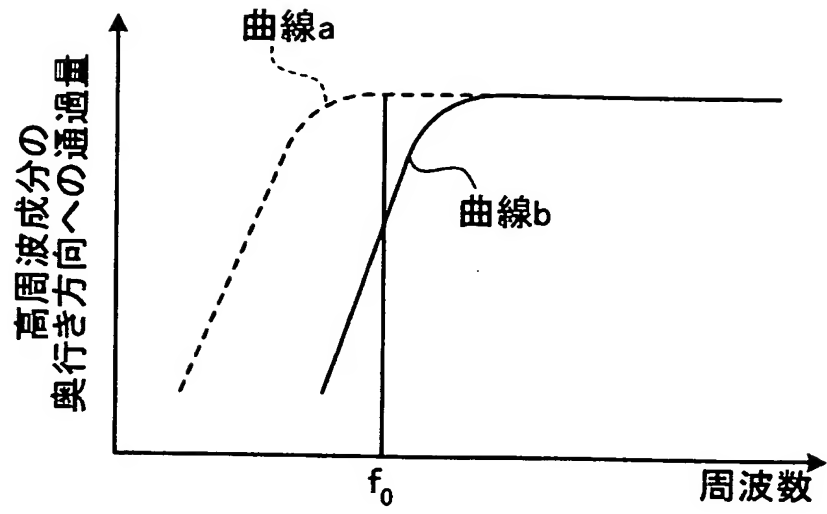
【 図 1 1 】



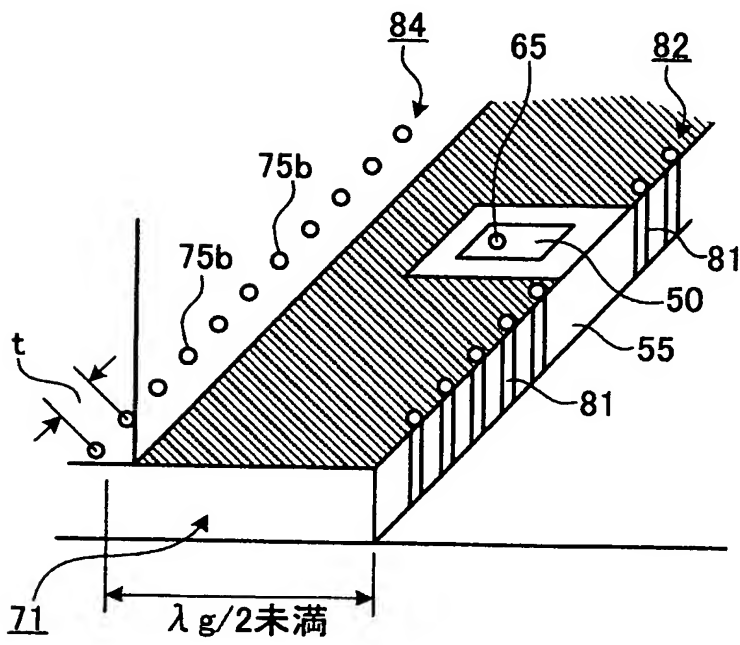


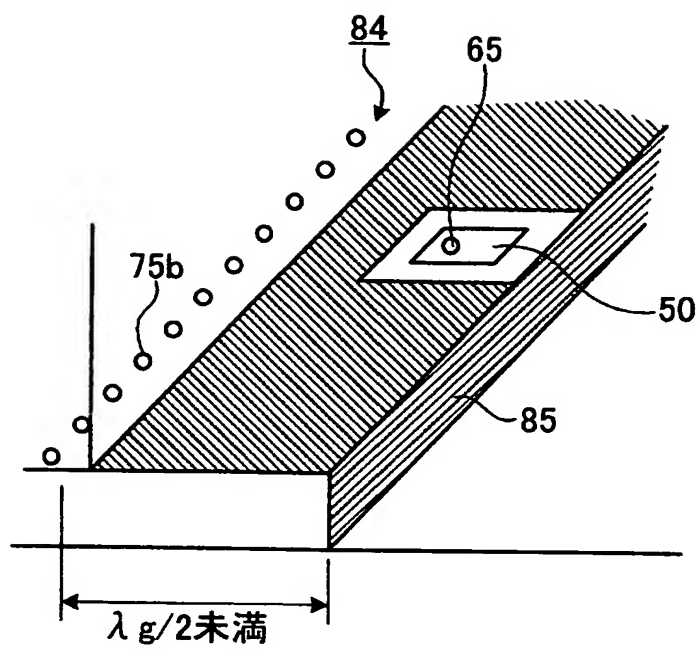
【 図 1 3 】



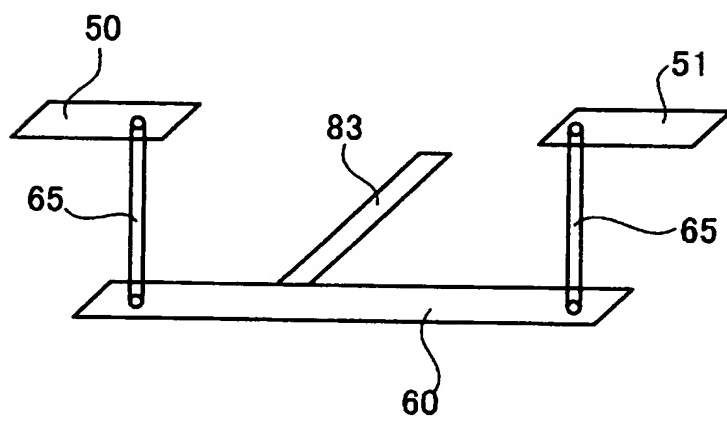


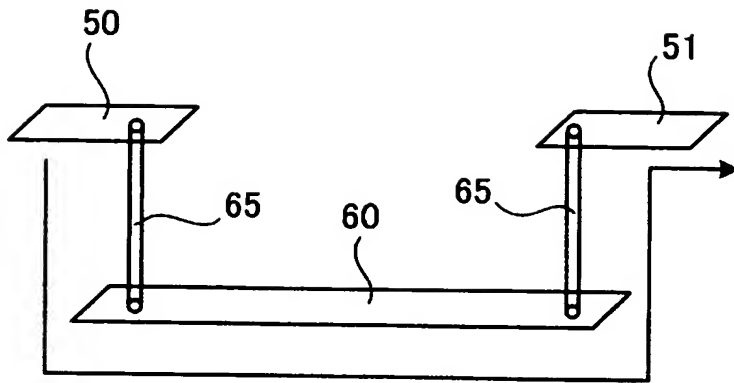
【 図 1 5 】



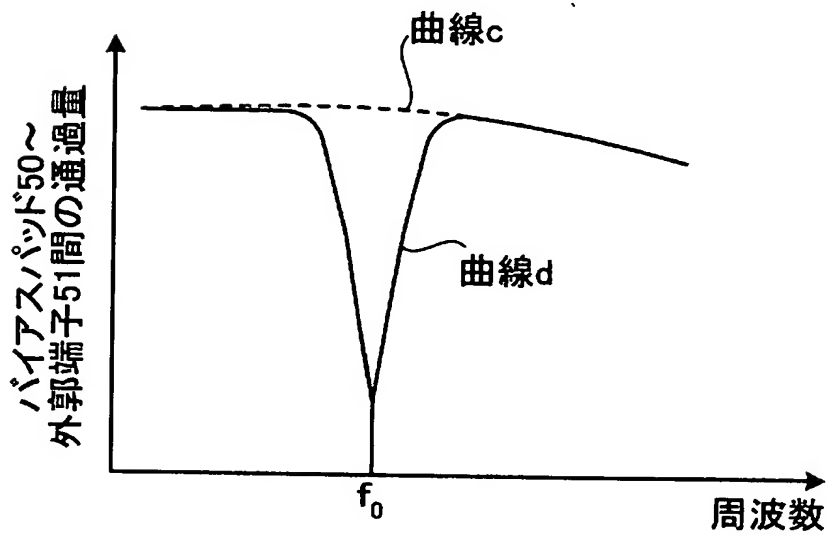


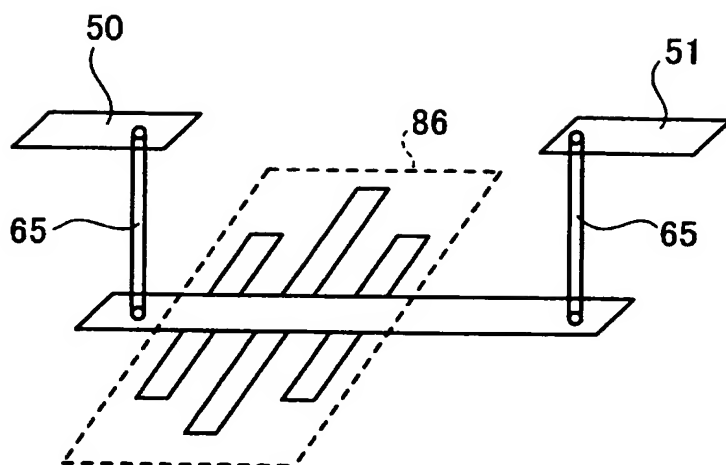
【図 17】



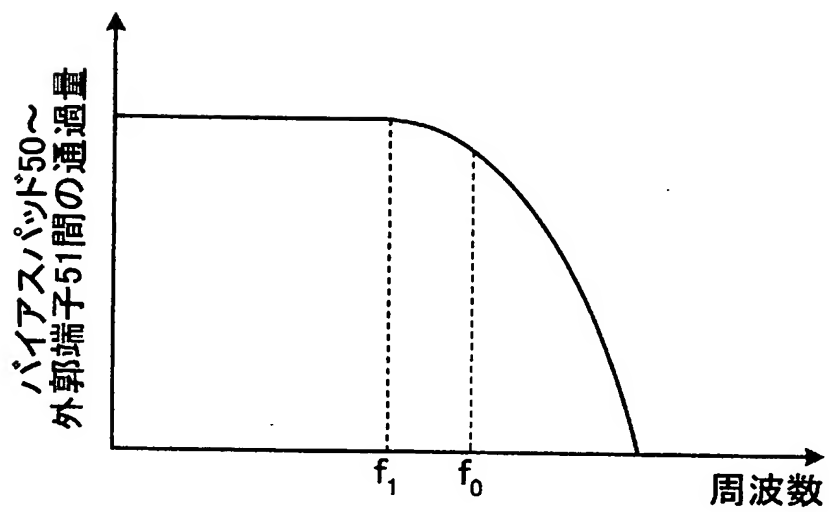


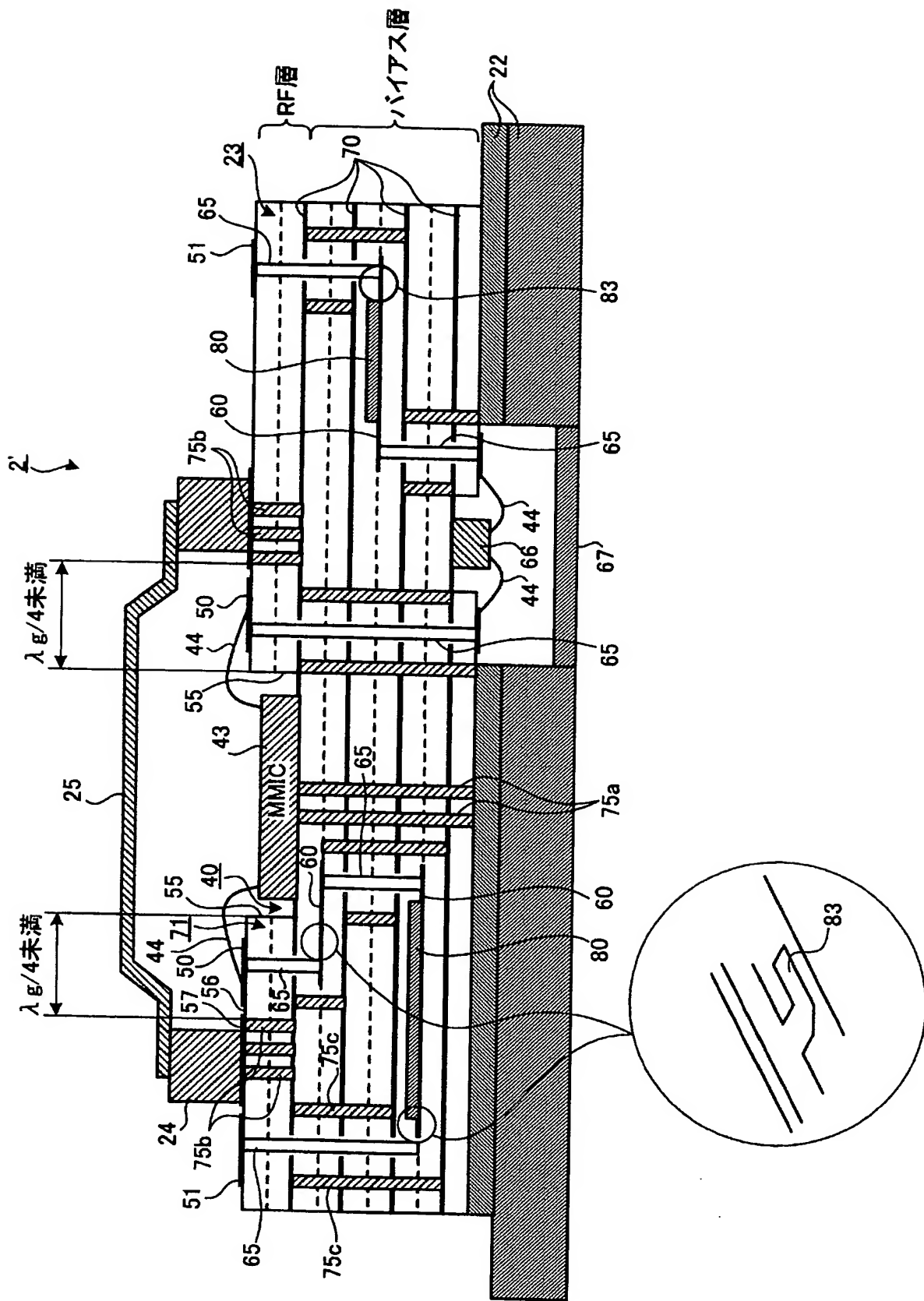
【 図 1 9 】

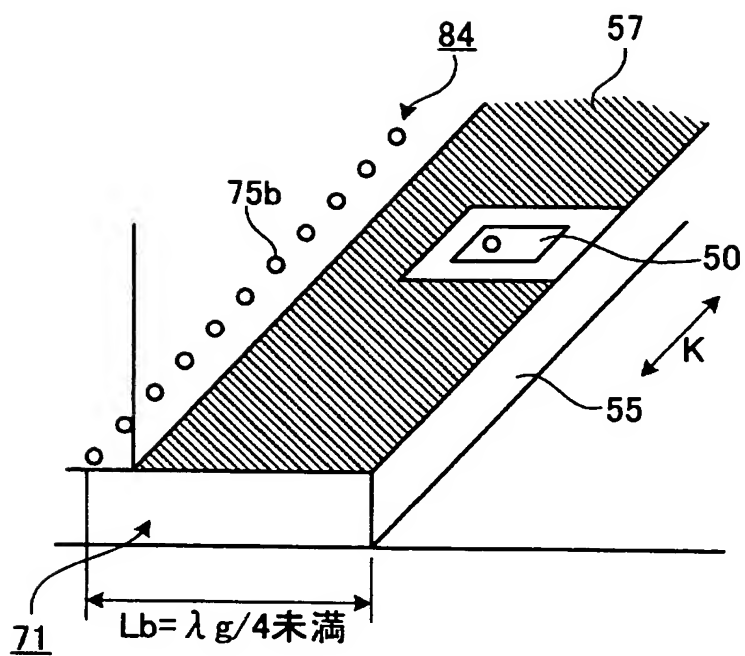




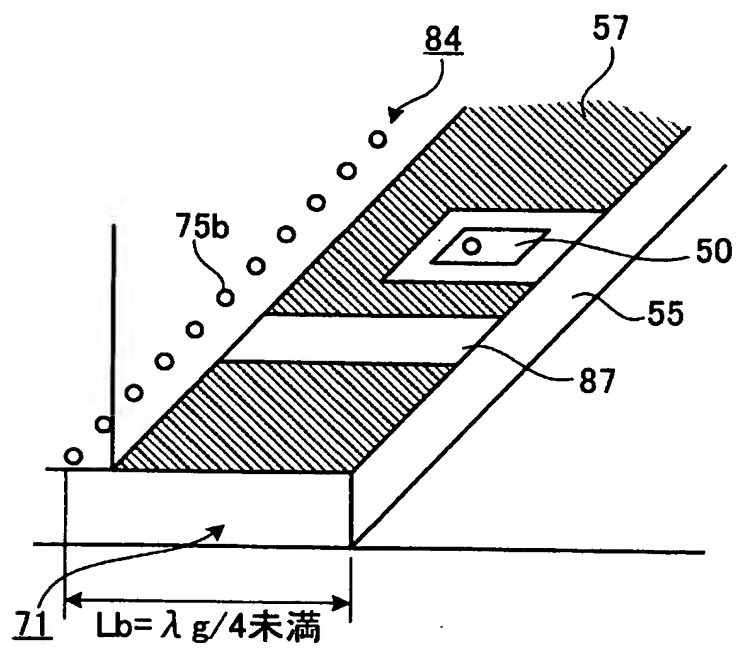
【図 21】

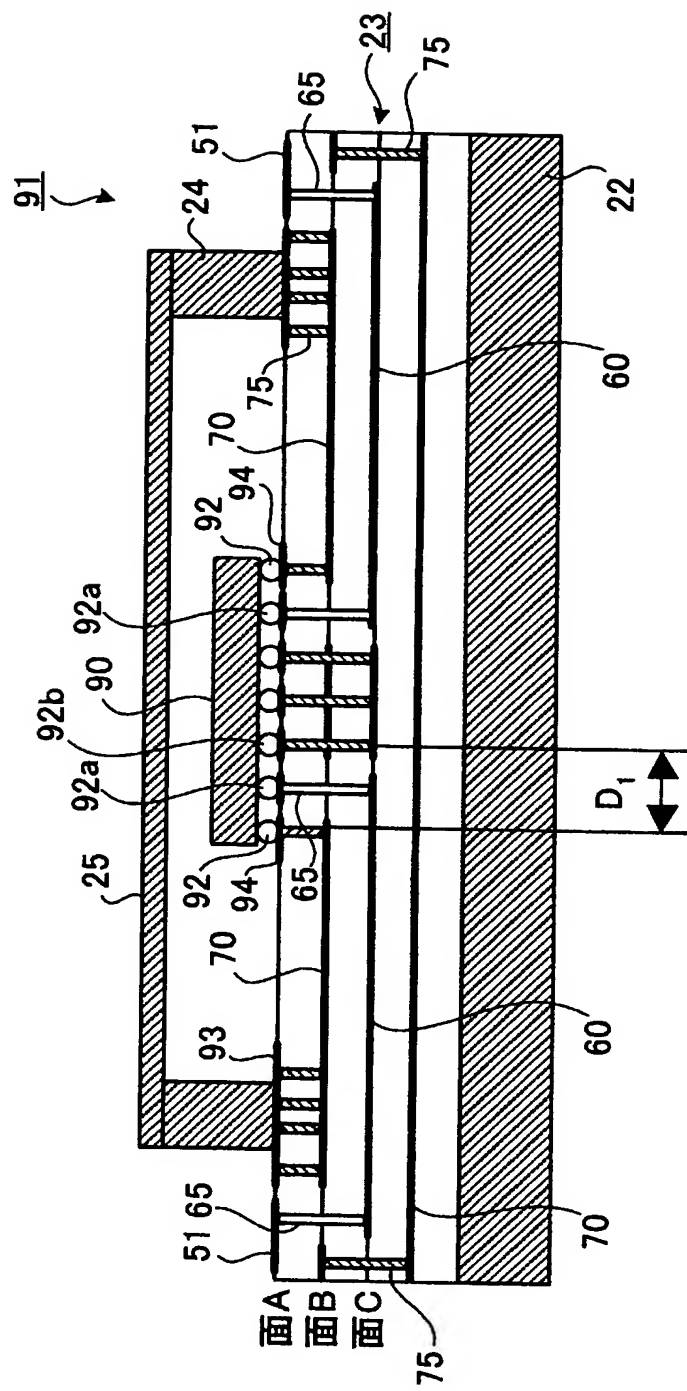


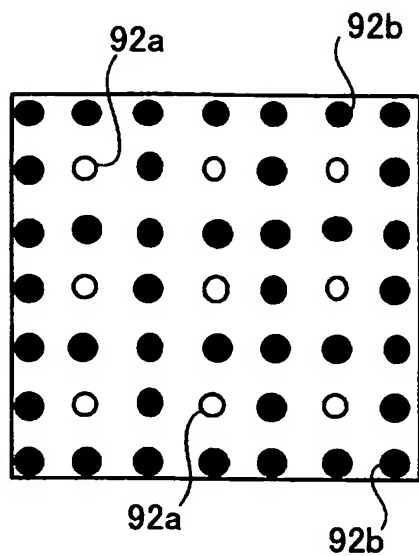




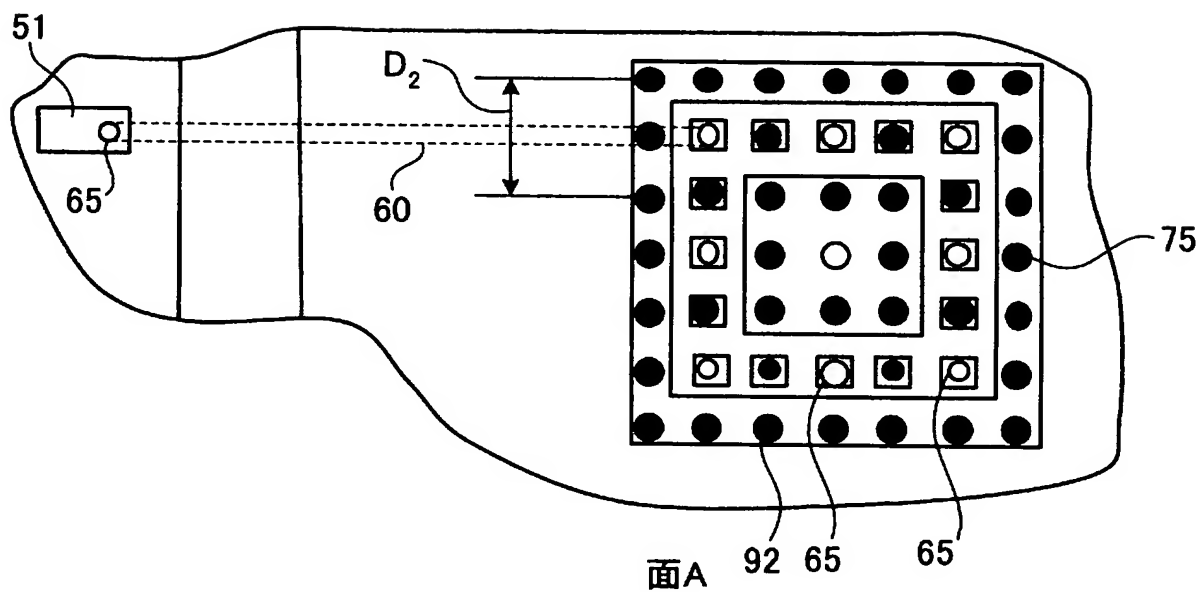
【 図 2 4 】

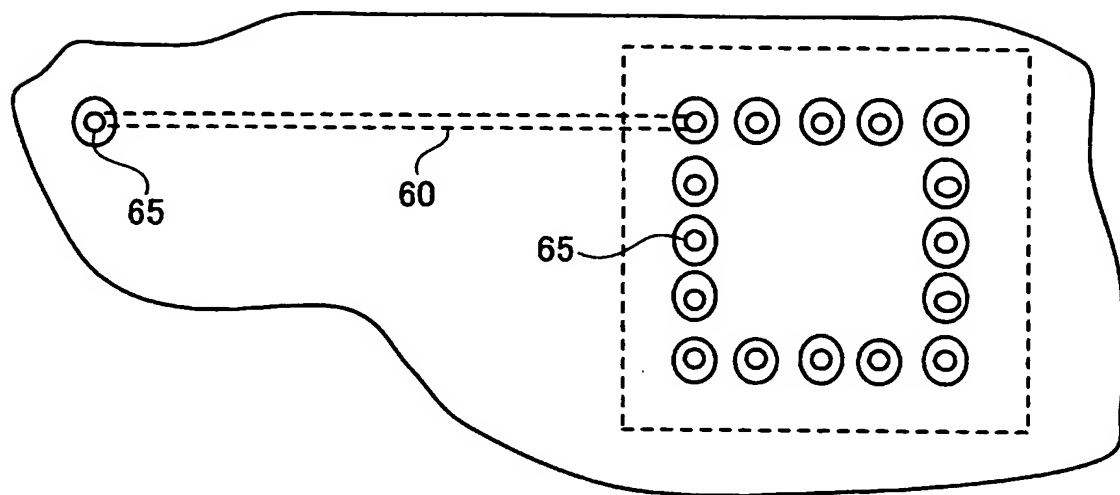






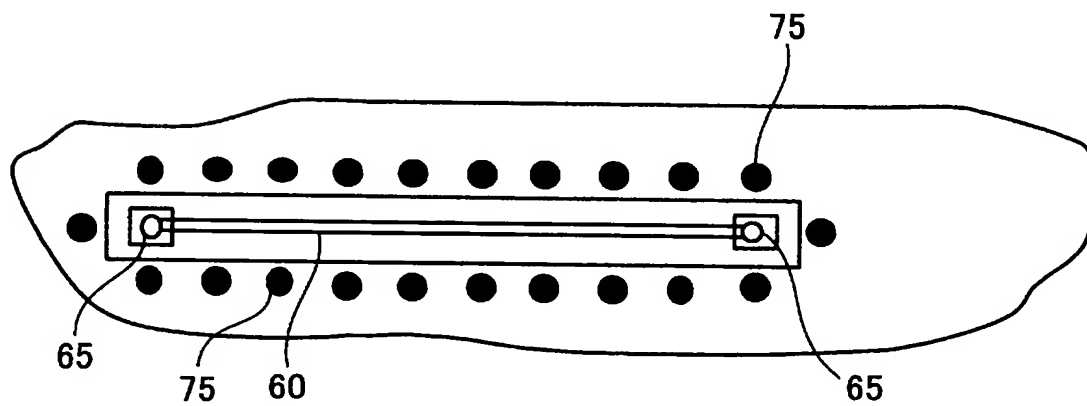
【圖 26-2】





面B

【圖 2 6 - 4】



面C

【要約】

【課題】 外部への高周波成分の漏洩を高周波パッケージ内で抑止するようにして、低コストで高周波シールド性能の高い高周波パッケージ、レーダモジュールおよびレーダ装置を得ること。

【解決手段】 多層誘電体基板 23 に、高周波半導体 43 のバイアス／制御信号用端子に接続され、電磁シールド部材 24、25 の内側に配設される信号ビア 65 と、電磁シールド部材 24、25 の外側に配設され、バイアス／制御信号用の外部端子 51 に接続される信号ビア 65 と、信号ビア間を接続する内層信号線路 60 と、信号ビア 65 および内層信号線路 60 の周囲に配される内層接地導体 70 と、内層接地導体 70 上であって、前記信号ビア 65 および内層信号線路 60 の周囲に配される複数のグラウンドビア 75 とを備えるとともに、内層信号線路 60 に、高周波半導体 43 で使用する高周波信号の実効波長の略 $1/4$ の長さを有する先端開放線路 83 を設ける。

【選択図】 図 7

0 0 0 0 0 6 0 1 3

19900824

新規登録

5 9 1 0 3 1 9 2 4

東京都千代田区丸の内 2 丁目 2 番 3 号
三菱電機株式会社

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/005432

International filing date: 24 March 2005 (24.03.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-092043
Filing date: 26 March 2004 (26.03.2004)

Date of receipt at the International Bureau: 12 May 2005 (12.05.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse